



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

VLIV ROZLIŠENÍ MDAC NA BLOKY ŘETĚZOVÉHO PŘEVODNÍKU AD

THE INFLUENCE OF MDAC RESOLUTION ON BASIC BLOCKS OF PIPELINED AD CONVERTER

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. VILÉM KLEDROWETZ

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. JIŘÍ HÁZE, Ph.D.

BRNO 2009



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Diplomová práce

magisterský navazující studijní obor
Mikroelektronika

Student: Bc. Vilém Kledrowetz

ID: 83642

Ročník: 2

Akademický rok: 2008/2009

NÁZEV TÉMATU:

Vliv rozlišení MDAC na bloky řetězového převodníku AD

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte MDAC ve dvou rozlišeních, proveďte simulace a vyhodnoťte parametry každého z nich.
Navrhněte další bloky řetězového převodníku a zkoumejte vliv rozlišení MDAC na tyto bloky.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 9.2.2009

Termín odevzdání: 29.5.2009

Vedoucí práce: Ing. Jiří Háze, Ph.D.

prof. Ing. Vladislav Musil, CSc.
Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Licenční smlouva poskytovaná k výkonu práva užít školní dílo

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Bc. Vilém Kledrowetz
Bytem: Osvobození 531, Slavičín 763 21
Narozen/a (datum a místo): 26.3.1985 ve Zlíně

(dále jen „autor“)

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií
se sídlem Údolní 244/53, 602 00 Brno
jejímž jménem jedná na základě písemného pověření děkanem fakulty:
Prof. Ing. Vladislav Musil, CSc.
(dále jen „nabyvatel“)

Čl. 1 Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

- ☐ disertační práce
- ☒ diplomová práce
- ☐ bakalářská práce
- ☐ jiná práce, jejíž druh je specifikován jako

.....
(dále jen VŠKP nebo dílo)

Název VŠKP: Vliv rozlišení MDAC na bloky řetězového převodníku AD
Vedoucí/ školitel VŠKP: Ing. Jiří Háze, Ph.D.
Ústav: Ústav mikroelektroniky
Datum obhajoby VŠKP:

VŠKP odevzdal autor nabyvateli v:

- ☒ tištěné formě – počet exemplářů 2
- ☒ elektronické formě – počet exemplářů 2

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.
3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.
4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

Článek 2

Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti
 - ☒ ihned po uzavření této smlouvy
 - ☐ 1 rok po uzavření této smlouvy
 - ☐ 3 roky po uzavření této smlouvy
 - ☐ 5 let po uzavření této smlouvy
 - ☐ 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/ 1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3

Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne: 29. 5. 2009

.....
Nabyvatel

.....
Autor

Abstrakt:

Analogově digitální převodníky se v zásadě dělí podle rychlosti zpracování vstupní analogové informace a rozlišení. Řetězový převodník AD se řadí mezi převodníky s vyšší rychlostí (řádově až stovky MHz) a středně vysokým rozlišením (až 16 bitů). Práce se zabývá vlivem MDAC na ostatní bloky řetězového převodníku. MDAC je realizováno v rozlišení 1,5 a 2,5 bitu technikou spínaných kapacitorů (SC) v technologii CMOS 0,7 μm . MDAC jsou analyzovány a porovnány.

Abstract:

Usually the analog to digital converters (ADC) are specified by conversion speed and resolution. The pipelined ADC conversion rate is up to hundreds of MHz and the obtained resolution should be 16 bits. This work deals with the influence of MDAC (multiplying DAC) resolution on basic blocks of pipelined AD converter. The MDAC was designed with 1,5 and 2,5 bits resolution structure using switched capacitor technique (SC) utilizing CMOS 0,7 μm technology. Basic stages of this pipelined ADC are analyzed and compared.

Klíčová slova:

Řetězový převodník AD, MDAC, rozlišení.

Keywords:

Pipelined ADC, MDAC, resolution.

Bibliografická citace díla:

KLEDROWETZ, V. *Vliv rozlišení MDAC na bloky řetězového převodníku AD*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 82 s. Vedoucí diplomové práce Ing. Jiří Háze, Ph.D.

Prohlášení autora o původnosti díla:

Prohlašuji, že jsem tuto vysokoškolskou kvalifikační práci vypracoval samostatně pod vedením vedoucího diplomové práce, s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 29. 5. 2009

.....

Poděkování:

Děkuji vedoucímu diplomové práce Ing. Jiřímu Házemu, Ph.D. za odborné vedení, ochotu a cenné připomínky při řešení této práce.

OBSAH

1	Úvod	9
2	Převodníky AD	10
3	Technika spínaných kapacitorů	14
3.1	Problémy spojené s technikou SC	15
4	Řetězový převodník AD v technice SC	18
4.1	Princip řetězového převodníku AD v technice SC	18
4.2	RSD korekce	20
4.3	Kalibrace	21
5	Návrh základních bloků převodníku	22
5.1	Komparátor	22
5.2	Operační zesilovač	24
5.3	Napěťová reference	32
5.4	Generátor řídicího hodinového signálu	34
5.5	Vzorkovací obvod	36
5.6	Paralelní ADC s rozlišením 2 bitů	38
6	MDAC	41
6.1	MDAC v rozlišení 1,5 bitů	41
6.2	MDAC v rozlišení 2,5 bitů	45
7	Řetězový převodník AD s 1,5 bitovými MDAC	51
7.1	Blok časové korekce a časování obvodů	52
7.2	Blok digitální korekce – RSD korekce	54
7.3	Simulace řetězového převodníku	56
8	Řetězový převodník AD s 2,5 bitovými MDAC	58
8.1	Blok časové korekce a časování obvodů	58
8.2	Blok digitální korekce – RSD korekce	59
8.3	Simulace řetězového převodníku	61
9	Vliv rozlišení MDAC na bloky řetězového převodníku AD	64
9.1	Společné části obou řetězových převodníků AD	64
9.1.1	<i>Vzorkovací obvod</i>	<i>64</i>
9.1.2	<i>Generátor řídicího hodinového signálu</i>	<i>64</i>
9.1.3	<i>Napěťová reference</i>	<i>65</i>
9.1.4	<i>Paralelní ADC s rozlišením 2 bitů</i>	<i>65</i>
9.2	Rozdílné části řetězových převodníků	65
9.2.1	<i>Blok časové korekce</i>	<i>65</i>
9.2.2	<i>Blok digitální korekce</i>	<i>66</i>
9.3	Porovnání samotných MDAC	67
9.3.1	<i>Obvod sub-ADC a sub-DAC</i>	<i>67</i>
9.3.2	<i>Rozdílový člen</i>	<i>68</i>
10	Závěr	70

11 Seznam použité literatury	73
12 Seznam použitých zkratek a symbolů	75
13 Seznam příloh	77
14 Přílohy	78

1 Úvod

Analogově-číslicové (ADC – Analog-to-Digital Converter) a číslicově-analogové (DAC – Digital-to-Analog Converter) převodníky nacházejí uplatnění všude tam, kde je třeba analogový signál číslicově zpracovat nebo analogový signál z číslicového vytvořit. Číslicové zpracování analogových signálů má řadu výhod, které jsou podpořeny dostupností a nízkou cenou technického vybavení pro zpracování číslicových signálů, tj. logických kombinačních a sekvenčních obvodů, mikroprocesorů, pamětí atd.

Tato práce se zabývá návrhem dílčího bloku řetězového převodníku, tzv. MDAC (Multiplying DAC) ve dvou rozlišeních a zkoumá vliv rozlišení tohoto bloku na další bloky řetězového převodníku. Převodník je realizován technologií CMOS 0,7 μm a je zde využito technologie spínaných kapacitorů.

Řešení samostatné práce je rozčleněno do 9 kapitol. Druhá kapitola popisuje problematiku převodníků AD, seznamuje se základními principy a problémy spojenými s převodem analogového signálu na digitální. Závěr kapitoly je věnován stručnému porovnání nejpoužívanějších převodníků AD.

Třetí kapitola se zabývá problematikou spínaných kapacitorů. Popisuje jejich využití, výhody i nevýhody a způsoby kompenzace nežádoucích vlastností. Na třetí kapitolu navazuje kapitola čtvrtá, kde je již charakterizován řetězový převodník a je zde popsán i navrhovaný blok MDAC řešený technikou SC.

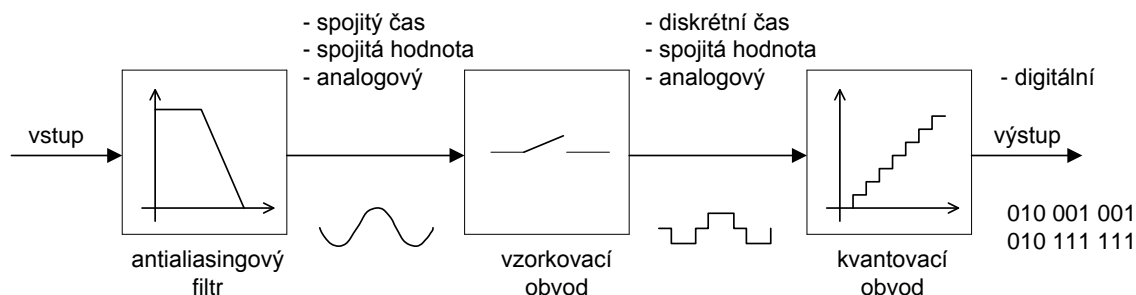
Pátá kapitola se již zabývá návrhem základních stavebních bloků, které jsou dále využívány jako dílčí součásti. Nejdříve je navržen a simulován komparátor, který je hojně využit a jsou na něj kladeny velké nároky. Za návrhem komparátoru následuje dvoustupňový operační zesilovač a na závěr jsou výsledky simulací a shrnutí jeho vlastností.

Celá šestá kapitola se již zabývá návrhem bloků MDAC v rozlišení 1,5 a 2,5 bitu. Lze zde najít podrobný popis funkce jednotlivých částí obou MDAC a rovněž také výsledky simulací, stejně jako u celé práce z programu Cadence.

V dalších kapitolách jsou již dokončeny všechny bloky obou řetězových převodníků a na závěr, v kapitole 9, jsou porovnány vlastnosti dílčích bloků každého z nich tak, jak je vyžadováno v zadání práce.

2 Převodníky AD

Převodníky AD zajišťují převod vstupního signálu na výstupní číslicový signál. Vstupním signálem je nejčastěji napětí nebo proud, výstupem pak datové slovo o stanoveném počtu bitů. Převod spojitého analogového signálu na diskretní číslicový tvar se u většiny převodníků provádí ve dvou krocích (obr. 1).



Obr. 1: Princip převodu AD

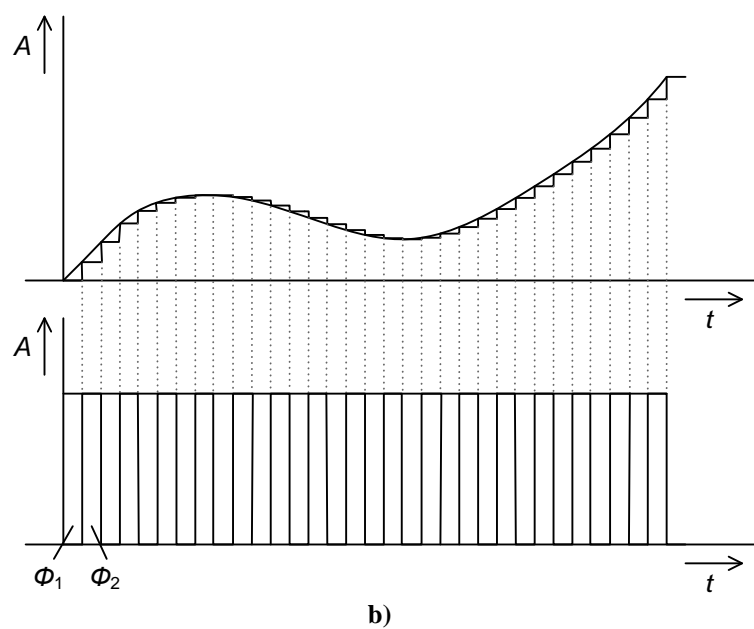
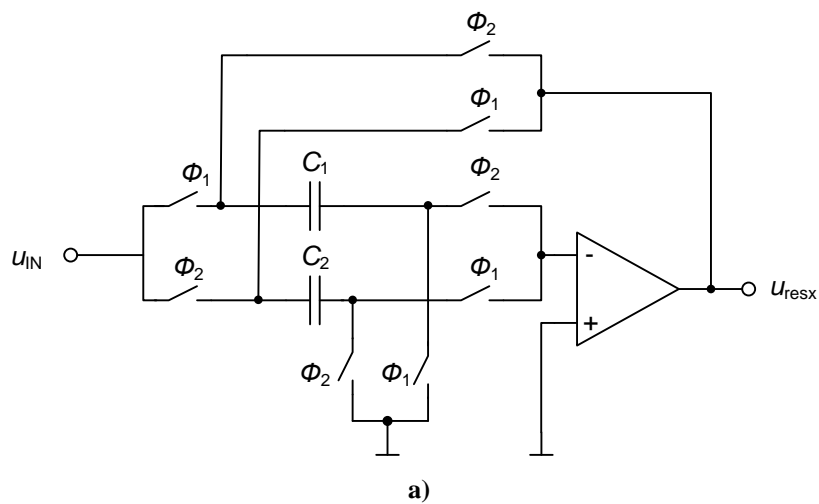
Nejdříve signál prochází antialiasingovým filtrem (dolní propustí), který má za úkol odfiltrovat kmitočty vyšší než odpovídají Shannonovu teorému, kdy musí být splněna podmínka

$$f_{vz} > 2 \cdot f_{IN \max} \quad (1)$$

kde f_{vz} je vzorkovací kmitočet, $f_{IN \max}$ je maximální kmitočet vstupního signálu.

Nedodržení podmínky znázorněné v rov. (1) může dojít k aliasingu, tedy překrytí postranních složek a ke ztrátě informace z původního signálu, který pak již nelze rekonstruovat do původní podoby.

Po průchodu antialiasingovým filtrem se signál vzorkuje. K tomu slouží vzorkovací obvod (S&H – Sample and Hold Circuit). Hlavní funkcí vzorkovacího obvodu je vzít vzorek vstupního signálu a podržet jej na výstupu po určitou dobu. Ta závisí na rychlosti vzorkování. Původní analogový signál (spojitý v hodnotě a čase) je tedy převeden na jiný analogový signál, který je spojitý v hodnotě, ale diskretní v čase. Rychlost vzorkování patří mezi nejvýznamnější parametry ADC.

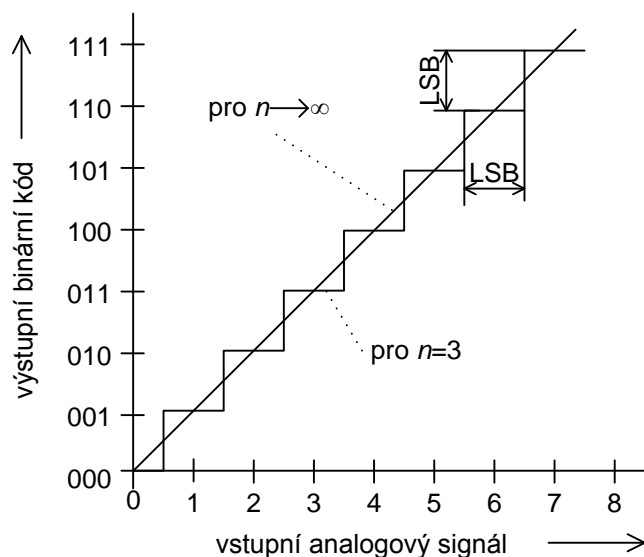


Obr. 2: Vzorkovací obvod v technice SC

Nedokonalosti spojené se vzorkováním, které je třeba minimalizovat, jsou [1]

- nelinearita,
- doba ustálení,
- rychlost přeběhu,
- chyby zesílení a nesymetrie,
- apertura a chyby spojené s ní.

V kvantovacím obvodu jsou amplitudy jednotlivých signálů převáděny tzv. kvantováním na číslicový tvar. Kvantování přiřazuje jednotlivým vzorkům diskrétní hodnotu (výstupní datové slovo), což je odpovídající kombinace binárního čísla (obr. 3). Tato hodnota je ovlivněna rozlišovací schopností (Resolution) celého převodníku. Rozlišovací schopnost převodníku ADC je určena počtem úrovní, na které je rozdělen rozsah vstupního analogového signálu. Jelikož výstupní slovo ADC vyjadřuje obvykle číslo v binárním kódu, je často rozlišovací schopnost vyjadřována počtem bitů výstupního slova. Sestává-li se výstupní slovo např. z 10 bitů, pak vstupní rozsah je rozdělen na 1024 diskrétních úrovní. Rozlišovací schopnost je 2^n , kde n je počet bitů výstupního slova. Vstupní analogový signál, který může nabývat libovolné úrovně v mezích vstupního rozsahu, je tedy kvantován do určitého počtu diskrétních úrovní (kvantovacích úrovní). Tímto procesem vzniká kvantovací chyba, která se také nazývá kvantovací šum. Ta může dosahovat maximální hodnoty rovné polovině hodnoty změny napětí, které by vyvolala změnu datového slova o jeden bit nejnižšího řádu (LSB) [2].



Obr. 3: Převodní charakteristika 3-bitového ADC

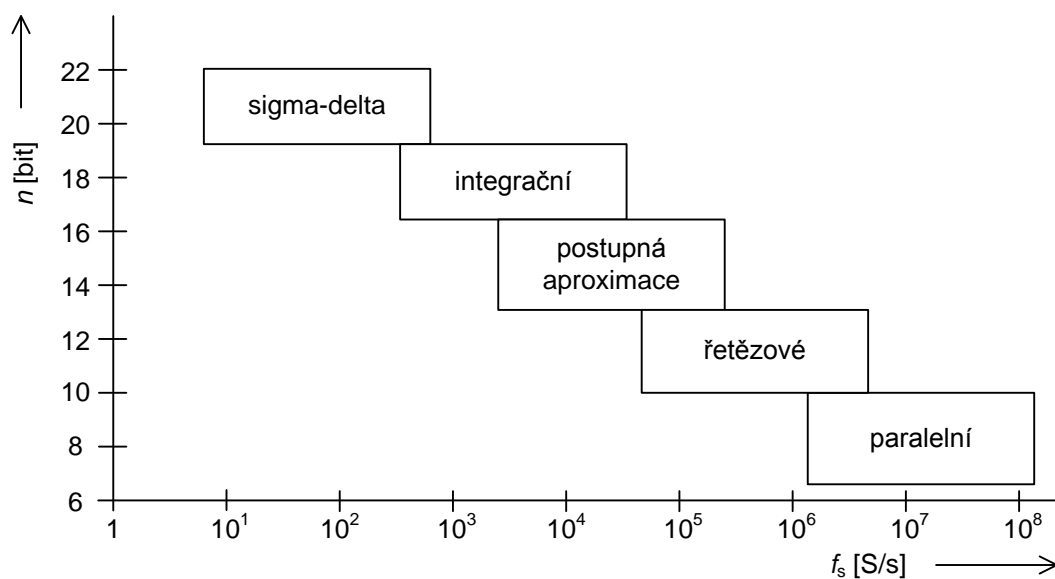
S kvantováním je také spojeno několik dalších parametrů, které definují přesnost převodu.

Mezi ně patří

- chyba nesymetrie,
- chyba zesílení,
- integrální nelinearita INL – maximální vertikální rozdíl mezi ideální a reálnou převodní charakteristikou, udává se vždy jako maximální hodnota, nejčastěji v násobcích LSB,

- diferenciální nelinearita DNL – vertikální rozdíl mezi po sobě jdoucími kódy v každém kroku, udává se v LSB,
- nemotónnost - místo očekávaného nárůstu napětí mezi vyšší a nižší vertikální hodnotou dojde k jeho poklesu.

ADC lze dělit podle několika kritérií. Nejčastějším je podle vzorkovacího kmitočtu (Sampling Frequency) nebo také rychlosti převodu (Conversion Rate). Se vzorkovacím kmitočtem souvisí rozlišovací schopnost, která je s ní svázána nepřímou úměrou (obr. 4) [3].

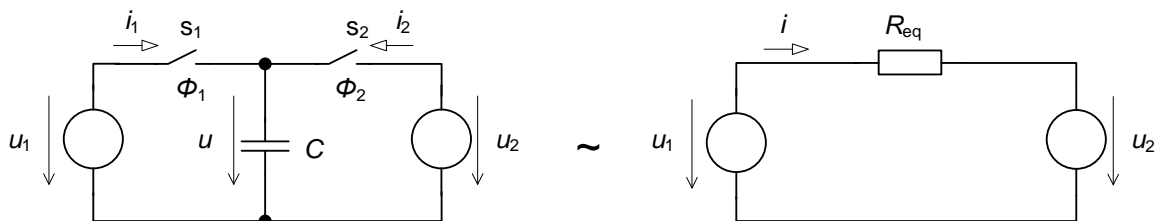


Obr. 4: Rozdělení ADC v závislosti na rychlosti převodu

Nelze tedy u ADC s vysokou rozlišovací schopností dosáhnout též i vysokého vzorkovacího kmitočtu (rychlosti převodu) a naopak. Hodnoty uvedené v obr. 4. jsou typické pro současné technologie. Existují však typy těchto převodníků, které mohou dosahovat vyšších vzorkovacích kmitočtů a vyšší rozlišovací schopnosti [4], [5].

3 Technika spínaných kapacitorů

Technika SC má řadu výhod. Hlavní výhodou je možnost nahrazení pasivního prvku – rezistoru, který na čipu zabírá velkou plochu, kapacitorem a spínačem MOS, které simulují funkci rezistoru (obr. 5). V rov. (2) je uveden vztah mezi odporem R nahrazovaného rezistoru, kapacitou C kapacitoru a vzorkovací periodou T .



Obr. 5: Princip techniky spínaných kapacitorů

$$i = \frac{u}{R} \approx i_{eq} = \frac{q}{T} = \frac{Cu}{T} = \frac{u}{R_{eq}} \Rightarrow R_{eq} = \frac{T}{C} = \frac{1}{Cf_s} \quad (2)$$

kde R, C a T již bylo zmíněno, q je náboj na kapacitoru, i_{eq} je celkový proud tekoucí kapacitorem, u je celkové napětí na kapacitoru, Φ_1 a Φ_2 jsou jednotlivé fáze hodinového signálu, který řídí spínání spínačů S_1 a S_2 .

Mezi výhody techniky SC patří [6]

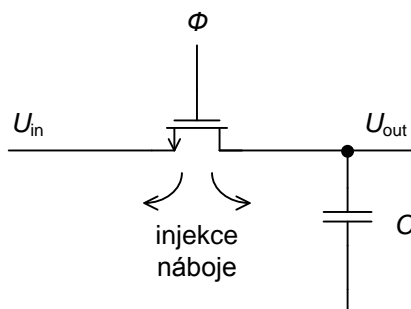
- snadnější implementace v technologii CMOS na čip,
- spínače CMOS mají v sepnutém stavu nízký odpor (řádu desítek ohmů),
- přesnost zpracování vstupního analogového signálu je dána pouze přesností poměru kapacit,
- dobré teplotní charakteristiky.

Mezi nevýhody techniky SC patří

- pronikání řídicího hodinového signálu přes spínače do signálové cesty,
- injekce náboje ze spínače,
- parazitní kapacity,
- chyby přizpůsobení použitých kapacitorů,
- jednotlivé fáze hodinového signálu se nesmí překrývat – vysoké nároky na přesnost generovaného řídicího hodinového signálu.

3.1 Problémy spojené s technikou SC

Jak již bylo zmíněno v kapitole 3, technika SC trpí různými nedostatky. Hlavní nedostatky jsou spojeny s MOS spínači. Mezi ně patří například injekce náboje, nelineární odpor MOS spínače v sepnutém stavu a pronikání řídicího hodinového signálu do signálové cesty [7].



Obr. 6: Injekce náboje

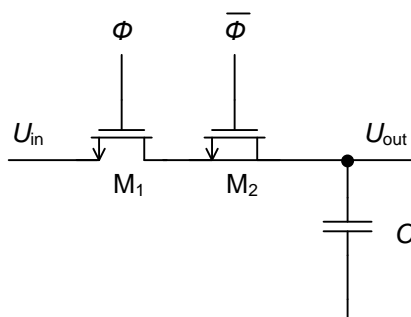
Na obr. 6 je znázorněna injekce náboje. Když je spínač sepnut a zároveň je U_{DS} spínače malé, vytvoří se v důsledku inverze kanálu pod hradlem zbytkový náboj. Pro celkový náboj platí

$$Q_{t, ch} = WL \cdot C_{OX} \cdot (U_{dd} - U_{in} - U_{TH}) \quad (3)$$

kde C_{OX} je kapacita oxidu pod hradlem, W a L je šířka a délka hradla spínače, U_{DD} je kladné napájecí napětí, U_{in} napětí zdroje přenášeného signálu, U_{TH} je prahové napětí spínače.

Při rozepnutém stavu MOS spínače je náboj injektován do emitoru a kolektoru. Na vstupní straně je injektovaný náboj absorbován vstupním zdrojem a tedy nezpůsobí žádnou chybu. Avšak na výstupní straně dojde ke změně napětí na kapacitoru C .

Tento problém je možno řešit několika způsoby. Např. pomocí dummy spínačů (obr. 7) nebo pomocí vzorkování spodní elektrody kapacitoru.



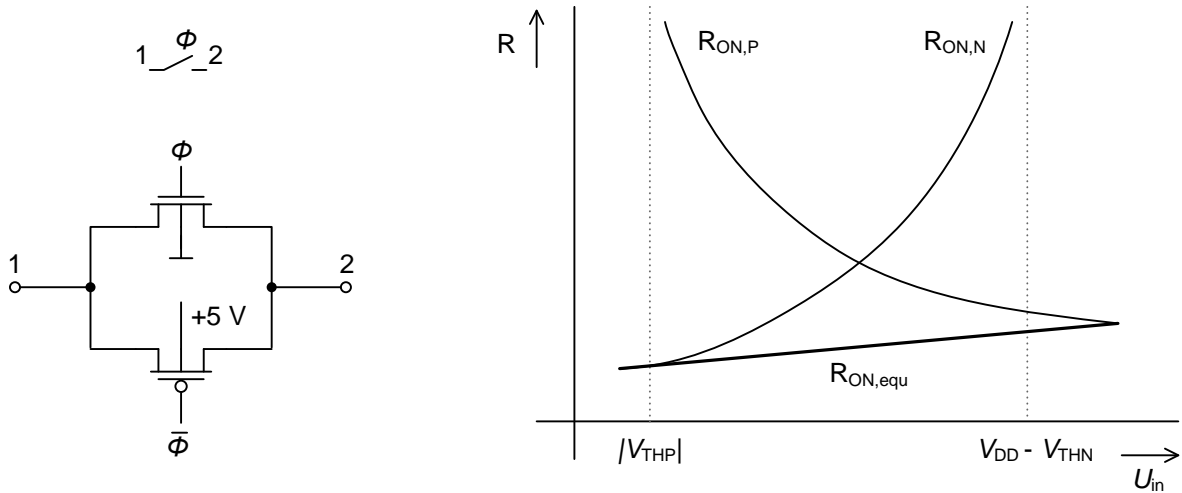
Obr. 7: Vzorkování pomocí dummy spínače

Tranzistor M_2 je zde ve funkci dummy spínače. Jeho šířka hradla je poloviční než má M_1 a je řízen inverzním hodinovým signálem – když je M_1 sepnutý, M_2 je rozepnutý. Náboj ze spínače M_1 není injektován do kapacitoru, ale je absorbován právě tranzistorem M_2 . Detailní popis funkce lze nalézt v [8].

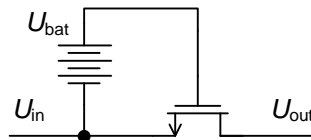
Odpor spínače MOS v sepnutém stavu je dán

$$R_{ON} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right) (U_{GS} - U_{Th})} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right) (U_{dd} - U_{in} - U_{Th})} \quad (4)$$

Odpor v sepnutém stavu MOS spínače závisí na vstupním signálu a vytváří nelineární zkreslení. Nelinearita spínače může být potlačena použitím komplementárního zapojení tranzistorů (obr. 8), avšak pro ADC s vyšším rozlišením pravděpodobně nebude vysoká linearita dosažena. Pro vyšší linearitu se využívá metoda samospouštěného spínače [8]. Princip vychází z rov. (4). Linearita MOS spínače může být podstatně zlepšena, jestliže U_{GS} je udrženo na konstantní hodnotě nezávislé na změně U_{in} (obr. 9).

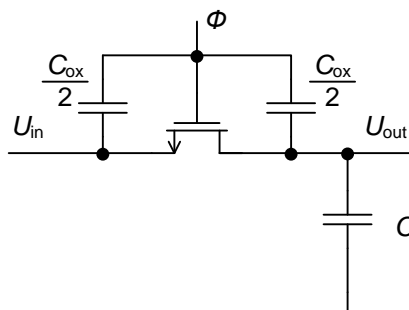


Obr. 8: Komplementární zapojení MOS spínače



Obr. 9: Princip samospouštěného spínače

Pronikání hodinového řídicího signálu je zobrazeno na obr. 10. Parazitní kapacity mezi hradlem a emitorem a mezi hradlem a kolektorem jsou modelovány ve funkci triodového režimu tranzistoru.



Obr. 10: Pronikání řídicího hodinového signálu

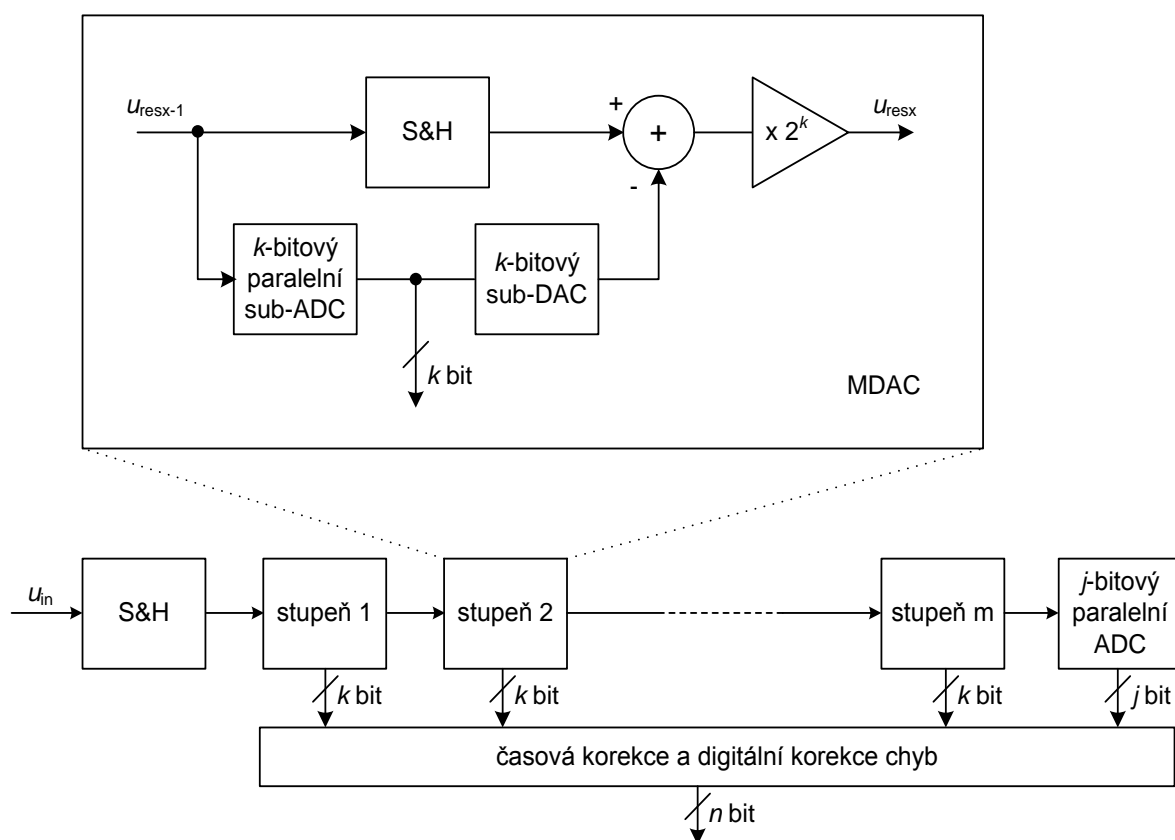
Při náběžné hraně řídicího signálu dojde k nabití parazitních kapacit. Ty však zatím nemají vliv na přenos vstupního signálu na kapacitor C . Při sestupné hraně řídicího signálu však dojde k tomu, že se mezi kapacitorem C a oběma parazitními kapacitami vytvoří kapacitní dělič. Důsledkem toho se část řídicího signálu objeví na kapacitoru C .

4 Řetězový převodník AD v technice SC

Řetězový ADC je velmi rozšířený typ převodníku AD pro vzorkovací kmitočty od několika MS/s až do několika stovek MS/s s rozlišením od 8 do 16 bitů. S těmito parametry nachází široké uplatnění v různých aplikacích, například fast Ethernet, xDSL, digitální video (HDTV), CCD imaging, PDA apod.

4.1 Princip řetězového převodníku AD v technice SC

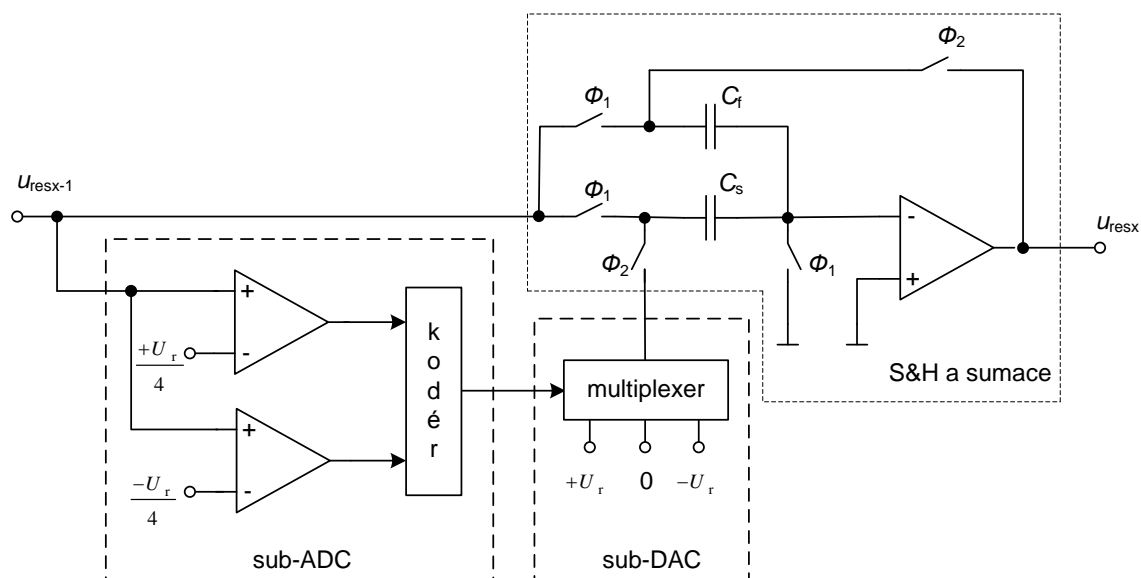
Řetězový ADC se skládá z několika stejných bloků (stupňů), které jsou propojeny kaskádně za sebou. Každý tento stupeň obsahuje vzorkovací obvod, sub-ADC, sub-DAC a zesilovač. Struktura řetězového ADC je naznačena na obr. 11.



Obr. 11: Blokové schéma řetězového ADC

Každý stupeň plní stejnou funkci. Signál je převeden pomocí sub-ADC do binární podoby a odeslán jako částečný výstup. Mezitím je v sub-DAC převeden zpět do analogové podoby a odečten od původního vstupního signálu. Výsledné residuum (kvantovací chyba) je zesíleno a odesláno do dalšího stupně. Poslední stupeň nepotřebuje generovat residuum, je realizován většinou jako několikabitový paralelní převodník. Protože částečné výstupy

jednotlivých stupňů odpovídající jednomu datovému slovu se generují v rozdílném čase, je třeba je synchronizovat. K synchronizaci slouží blok časové korekce. Signál je pak ještě upraven v bloku digitální korekce.

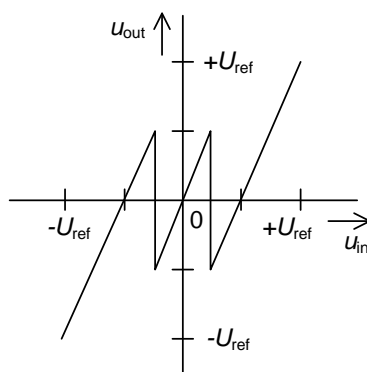


Obr. 12: MDAC realizovaný technikou SC

Pro výstupní residuum pak platí

$$u_{resx} = \left(1 + \frac{C_s}{C_f}\right) \cdot u_{resx-1} - \left(\frac{C_s}{C_f}\right) \cdot U_r \quad (5)$$

kde U_r je $\{\pm U_{\text{ref}}, 0\}$, závisí na výstupu sub-ADC.



Obr. 13: Převodní charakteristika 1,5 bitového MDAC

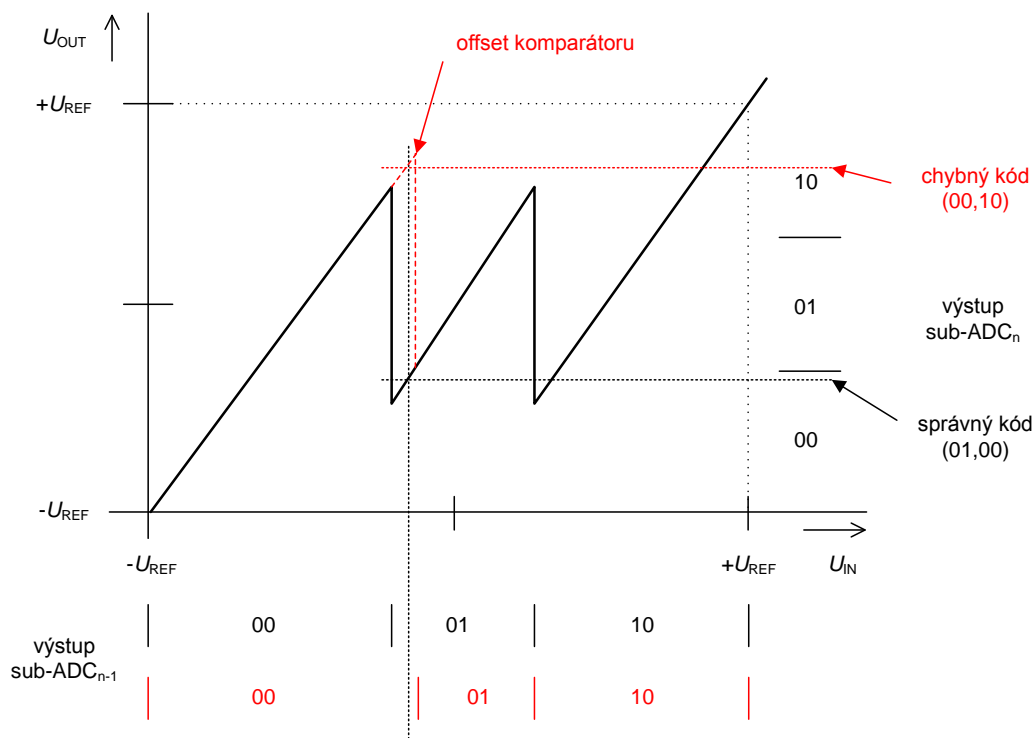
Pilovitý průběh je způsoben rozhodovacím obvodem sub-ADC a sub-DAC.

Nejčastěji používané rozlišení MDAC je 1,5 bitů, které má několik výhod. Při tomto rozlišení je dosaženo maximální šířky pásma a při zesílení dva uzavřené smyčky je malá kapacitní zátěž a velký faktor zpětné vazby. Rozlišení 1,5 bitů umožňuje velký korekční rozsah pro offset komparátorů v paralelním ADC. Proto při tomto rozlišení nedochází ke zhoršení celkové linearity převodu nebo poměru signál-šum (*SNR* – Signal-to-Noise Ratio). Ve srovnání s 1,5 bitovou strukturou 2,5 bitová struktura potřebuje při realizaci převodníku o celkovém rozlišení 10 bitů pouze poloviční počet OZ. Nevýhodou je, že zpětnovazební faktor je snížen přibližně o 50 %, což vyžaduje OZ s větší šířkou pásma. OZ dále potřebuje vyšší hodnotu klidového proudu. S rostoucím rozlišením roste i potřebný počet komparátorů s vyšší přesností.

4.2 RSD korekce

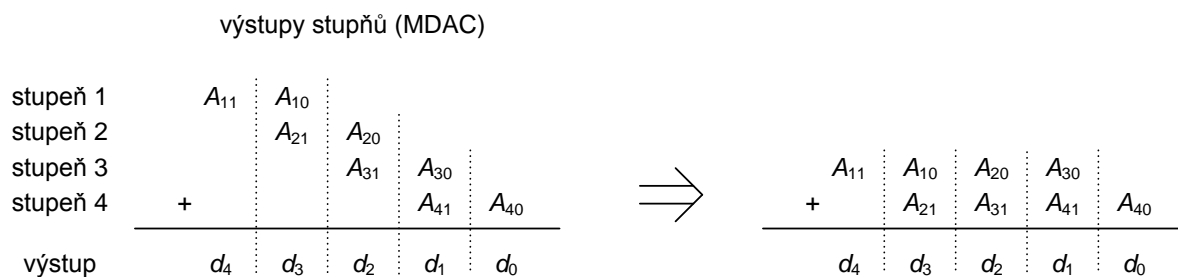
Typické MDAC v rozlišení 1,5 bitu ve skutečnosti odesílá 2 bity do bloků korekce. Jeden bit slouží jako „opravný“ a je využíván v korekční logice. Jedna z možných korekcí – RSD (Redundant Signed Digit) je popsána v této kapitole.

Offset komparátoru v bloku sub-ADC může způsobit posunutí hranice mezi jednotlivými vyhodnocovacími stavy, kdy např. místo kódu 01 je chybně vyhodnocen kód 00. Chyba se přenese i na výstup sub-DAC v dalším stupni, viz. obr. 14. Výsledkem je nesprávný výstupní signál.



Obr. 14: Převodní charakteristika 1,5 bitového MDAC s offsetem komparátoru

Jedním z možných způsobů opravy této chyby je využít tzv. RSD (Redundant Signed Digit) korekci [9], [10].



Obr. 15: Princip RSD korekce

Princip RSD korekce uvádí obr. 15. V prvním řádku je MDAC, které řeší nejvýznamnější bity (stupeň 1). Výstupní bit A_{11} prvního MDAC je odeslán na výstup a tvoří výstupní bit d_4 . Druhý, méně významný, bit A_{10} je sečten s nejvýznamnějším bitem druhého MDAC A_{21} atd. Správná funkce metody je ověřena na signálu z obr. 14.

	správný	s offsetem
	01	00
	+ 00	+ 10
výstup	010	010

Obr. 16: Ověření RSD korekce

RSD korekce může být použita i pro řetězové převodníky s vyšším rozlišením MDAC. Původně tato korekce byla vyvinuta pro algoritmické převodníky [11] a následně použita pro řetězové ADC [12].

4.3 Kalibrace

RSD korekce opravuje chyby způsobené komparátory, avšak neodstraňuje chyby zesílení na výstupu MDAC a chybu referenčních hodnot napětí v sub-DAC. Tyto chyby nejvíce závisí na souběhu kapacitorů a dají se ošetřit některou z metod kalibrace [13],[14].

5 Návrh základních bloků převodníku

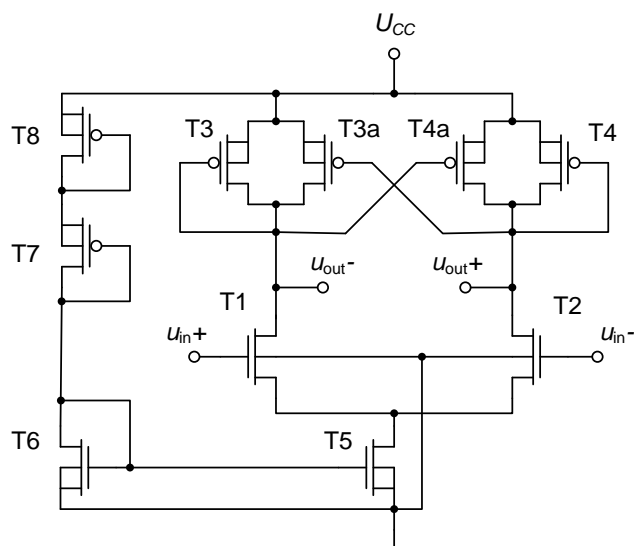
Tato kapitola se věnuje detailnímu popisu základních stavebních bloků, které jsou využívány v další části práce u obou navrhovaných řetězových převodníků AD. Je zde uveden jejich návrh i výsledky simulací. Jak již bylo zmíněno v úvodu, celá práce je realizována technologií CMOS 0,7 μm . Nejdůležitější parametry technologie používané v návrhu jsou

napájecí napětí	$U_{CC} = +5 \text{ V}$	
	NMOS	PMOS
transkonduktanční parametr	$K'_N = 96 \mu\text{A/V}^2$	$K'_P = 30 \mu\text{A/V}^2$
prahové napětí	$U_{TH} = 0,75 \text{ V}$	$U_{TH} = -1 \text{ V}$

5.1 Komparátor

Komparátor je jeden z nejpoužívanějších obvodů v analogové technice. Jedná se o obvod, který porovnává analogový signál s jiným analogovým signálem či referencí a jehož výstupem je binární signál (jeho hodnota závisí, zda je vstupní signál větší nebo menší než referenční napětí). Pro tuto svou vlastnost je hojně využíván v převodnících AD.

V této práci jsou komparátory využity v bloku převodníku sub-AD. Každý komparátor se skládá z předzesilovače a latche (bistabilní sekvenční obvod). Předzesilovač používaný v obou MDAC je ukázán na obr. 17. Skládá se ze vstupního diferenčního páru tvořeným T1 a T2 tranzistory a diodově zapojenými tranzistory T3, T3a, T4 a T4a. Tranzistory T5, T6 tvoří proudové zrcadlo a T7, T8 zajišťují vstupní proud zrcadla.

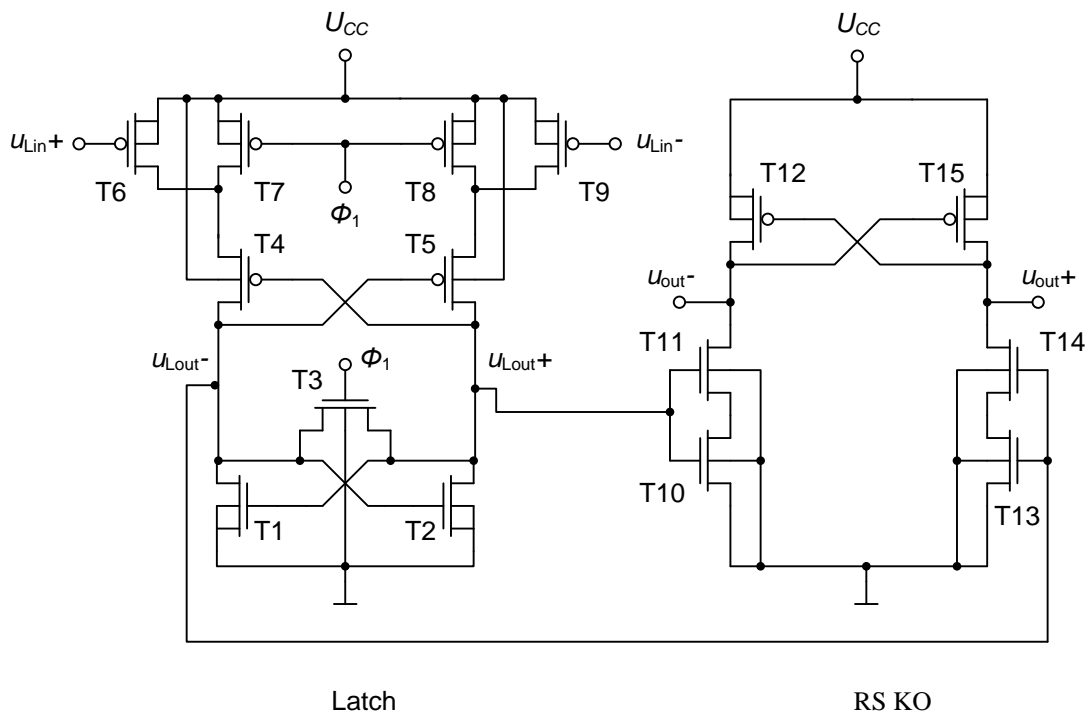


Obr. 17: Předzesilovač

Tranzistory T3a a T4a tvoří kladnou zpětnou vazbu a jsou použity z důvodu zvýšení zesílení předzesilovače. Zesílení předzesilovače je

$$A_u = \frac{g_{m1}}{g_{m3}} \cdot \frac{1}{1 - \frac{g_{m3a}}{g_{m3}}} \quad (5)$$

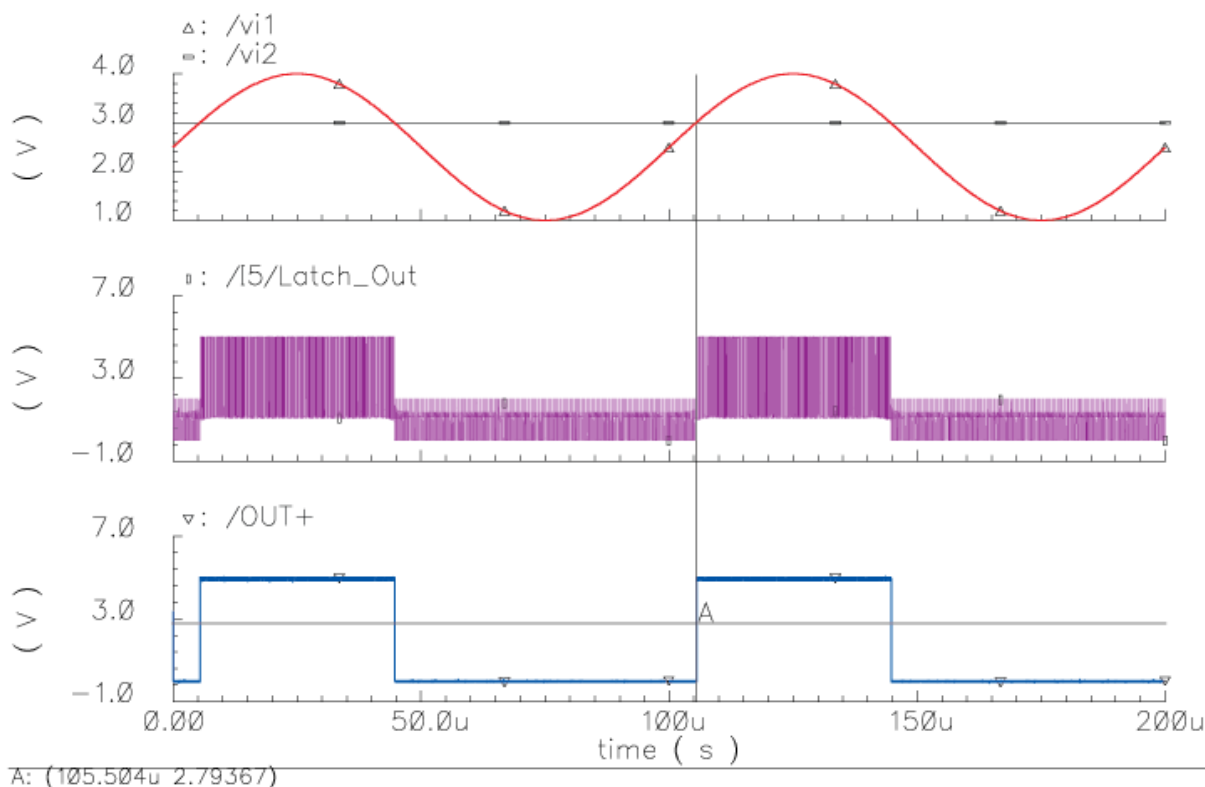
Předzesilovač má zesílení 10 (pro 1,5 b MDAC by dostačovalo i menší zesílení), což je dostatečné k potlačení offsetu v obvodu latch.



Obr. 18: Latch a RS KO

Po předzesilovači následuje latch a RS KO (obr.18) [8]. Latch pracuje ve dvou režimech - resetovacím a regeneračním. V resetovacím režimu (Φ_1 je v logické úrovni 1, tzn. 5 V). je tranzistor T3 sepnut a na výstupu se objeví napětí o hodnotě odpovídající přibližně U_{gs} . Během tohoto režimu je proud úměrný napěťovému rozdílu z předzesilovače injektován do výstupního uzlu přes tranzistory T6 a T9 a vytvoří tak vstupní podmínku pro druhý režim - regenerační. Jakmile je Φ_1 přejde do log. úrovně 0, tranzistor T3 se rozezne a T7 a T8 sepne a v závislosti na vstupní podmínce se pak na výstupu objeví hodnota 0 V nebo 5 V.

Protože se při každé log. úrovni 1 signálu latch resetuje, je ještě v komparátoru umístěn další obvod – RS KO, který drží předchozí stav výstupu latche při resetovacím režimu. Na obr. 19. jsou znázorněny výsledky simulace komparátoru.



Obr. 19: Průběh signálů komparátoru složeného z předzesilovače a latche

Tab 5.1 Parametry komparátoru

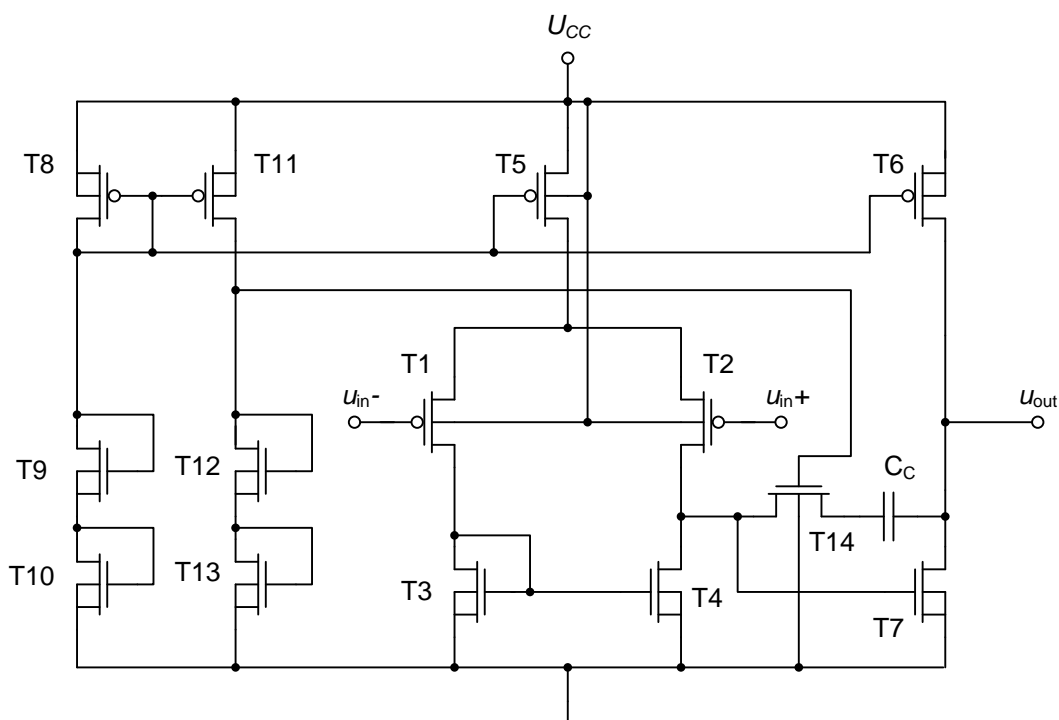
parametr	hodnota
rychlost přeběhu	30 V/ μ s
zpoždění	60 ns
hystereze (při 10 kHz)	600 μ V
spotřeba	0,625 mW

Tabulka 5.1 shrnuje výsledné parametry navrženého komparátoru.

5.2 Operační zesilovač

Operační zesilovač (OZ) není pouze široce využívaný prvek ve velké části analogových obvodů, ale také velmi důležitý stavební blok převodníku AD. Často ale omezuje jejich vlastnosti – jako rychlost a přesnost, také spotřebovává velkou část elektrické energie v obvodu.

V této kapitole je rozebrán postup a návrh OZ, který je součástí navrhovaného MDAC. Jeho zapojení je znázorněno na obr. 20.



Obr. 20: Dvoustupňový operační zesilovač

OZ tvoří dva zesilovací bloky. První blok je vstupní diferenční zesilovač, jehož úkolem je převádět zesílený vstupní rozdílový signál na signál jednoduchý. Druhým blokem je jednoduchý invertující zesilovač s aktivní zátěží. Diferenční pár T1, T2 má jako zátěž proudové zrcadlo tvořené tranzistorem T3, T4. Druhý zesilovací stupeň tvoří tranzistorem T6, T7. Kapacita C_C je kompenzační kapacita zajišťující stabilitu OZ. Je zapojena v sérii s tranzistorem T14. Ten slouží jako kompenzační rezistor.

Při návrhu je nejdříve odvozena kompenzační kapacita C_C . Ta vychází z požadované fázové rezervy, která činí v návrhu 60° . Pro OZ s dvěma póly (p_1 , p_2) a jednou nulou (z_1) je dokázáno, že nula má desetkrát vyšší hodnotu než GB (šířka pásma jednotkového zisku). Druhý pól musí být umístěn 2,2x dále než GBW [15], [16]. Platí

$$\phi_M = \pm 180^\circ - \text{Arg} [A(j\omega)F(j\omega)], \quad (6)$$

$$\pm 180^\circ - \tan^{-1} \left(\frac{\omega}{|p_1|} \right) - \tan^{-1} \left(\frac{\omega}{|p_2|} \right) - \tan^{-1} \left(\frac{\omega}{|z_1|} \right) = 60^\circ. \quad (7)$$

Za předpokladu, že kmitočet jednotkového zisku má hodnotu GBW platí

$$\begin{aligned}
120^\circ &= -\tan^{-1}\left(\frac{GB}{|p_1|}\right) - \tan^{-1}\left(\frac{GB}{|p_2|}\right) - \tan^{-1}\left(\frac{GB}{|z_1|}\right) = \\
&= \tan^{-1}[A_U(0)] + \tan^{-1}\left(\frac{GB}{|p_2|}\right) + \tan^{-1}(0,1) .
\end{aligned}
\tag{8}$$

V případě, že A_U je vysoké, lze rovnici zjednodušit

$$24,3^\circ \approx \tan^{-1}\left(\frac{GB}{|p_2|}\right) \Rightarrow |p_2| \geq 2,2GB . \tag{9}$$

Z těchto poznatků lze odvodit vztah pro kompenzační kapacitu

$$C_C \geq 0,22 \cdot C_L . \tag{10}$$

V dalším kroku je stanovena minimální hodnota proudu I_5 . Ta je odvozena z rovnice pro rychlost přeběhu (SR). Větší proud znamená vyšší rychlost přeběhu, avšak také větší spotřebu OZ.

$$I_5 = SR \cdot C_C . \tag{11}$$

Proud I_5 je zajišťován proudovým zrcadlem, které je tvořeno tranzistory T5 a T8. Jejich rozměry vychází z rovnice pro proud v saturaci

$$I_5 = \frac{1}{2} \cdot K'_p \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})^2 . \tag{12}$$

Tranzistory T9 a T10 nahrazují rezistor, který zajišťuje vstupní proud zrcadla. Jejich velikost se snadno určí opět z rovnice pro proud v saturaci – známe proud a úbytek U_{GS} na každém tranzistoru.

Při výpočtu velikostí tranzistorů vstupního diferenčního páru je nejdříve spočítána jejich transkonduktance g_m z již známé kapacity C_C a šířky pásma GBW

$$g_{m1} = 2 \cdot \pi \cdot GBW \cdot C_C . \tag{13}$$

Po té lze z obecného vztahu pro transkonduktanci dopočítat rozměry tranzistoru

$$g_m \equiv \sqrt{2 \cdot K'_p \cdot (W/L) \cdot |I_D|} \Rightarrow (W/L)_1 = \frac{g_{m1}^2}{2 \cdot K'_p \cdot I_1} , \tag{14}$$

kde I_1 má poloviční hodnotu I_5 .

Tranzistory aktivní zátěže (T3, T4) se opět vypočítají z rovnice (12) pro proud v saturaci. Proud protékající tranzistorem má poloviční velikost proudu I_5 .

V dalším kroku je uveden výpočet druhého stupně OZ. Pro fázovou rezervu 60° odpovídá umístění pólu $1,22 \text{ GBW}$. Na základě této úvahy a rov. (9) lze pro g_{m6} psát

$$g_{m7} = 2,2 \cdot g_{m1} \cdot \frac{C_L}{C_C}. \quad (15)$$

Ze známé hodnoty lze dopočítat rozměry tranzistoru T7 [15]

$$(W/L)_7 = (W/L)_4 \cdot \frac{g_{m6}}{g_{m4}}. \quad (16)$$

Pro dopočítání velikosti tranzistoru T6 je třeba znát proud, který jím prochází. Odvozením z obecného vztahu pro transkonduktanci, viz. rov. (14), lze získat

$$I_6 = I_7 = \frac{g_{m7}^2}{2 \cdot K'_7 \cdot (W/L)_7}. \quad (17)$$

Tranzistor T6 zrcadlí proud do druhého stupně OZ. Vstupní proud zrcadla je vypočítán v rov. (12). Z poměru vstupního proudu a proudu druhého stupně lze dopočítat rozměry T6

$$(W/L)_6 = (W/L)_5 \cdot \frac{I_6}{I_5}. \quad (18)$$

Již jsou tedy známy proudy a rozměry tranzistorů v prvním a druhém stupni. Další částí OZ je část tvořená tranzistory T11 – T14, která plní funkci nulovacího rezistoru. O podrobném odvození jednotlivých vztahů se lze dočíst v [15].

Nejdříve je zvolen proud I_{11} , který má vliv na celkovou spotřebu OZ. Velikost tranzistoru T11 lze tedy dopočítat obdobně jako T6, tedy

$$(W/L)_{11} = (W/L)_5 \cdot \frac{I_{11}}{I_5}. \quad (19)$$

Tranzistory T12 a T13 jsou biasovací tranzistory. Tranzistor T12 je v podstatě volný parametr a z hlediska úspory místa na čipu je volen malý. T13 je odvozen z proudu a z rozměrů tranzistoru T7 v druhém stupni OZ

$$(W/L)_{13} = (W/L)_7 \cdot \frac{I_{11}}{I_7}. \quad (20)$$

Pro zesílení a spotřebu platí

$$A_U = \frac{2 \cdot g_{m1} \cdot g_{m6}}{I_5 \cdot (\lambda_1 + \lambda_3) \cdot (\lambda_6 + \lambda_7)}, \quad (21)$$

$$P_{celk} = (I_5 + I_6 + I_{11}) \cdot U_{CC} . \quad (22)$$

Výpočet všech tranzistorů a proudů již tedy byl uveden. Požadavky na OZ, používaný v dalších částech práce, jsou uvedeny níže.

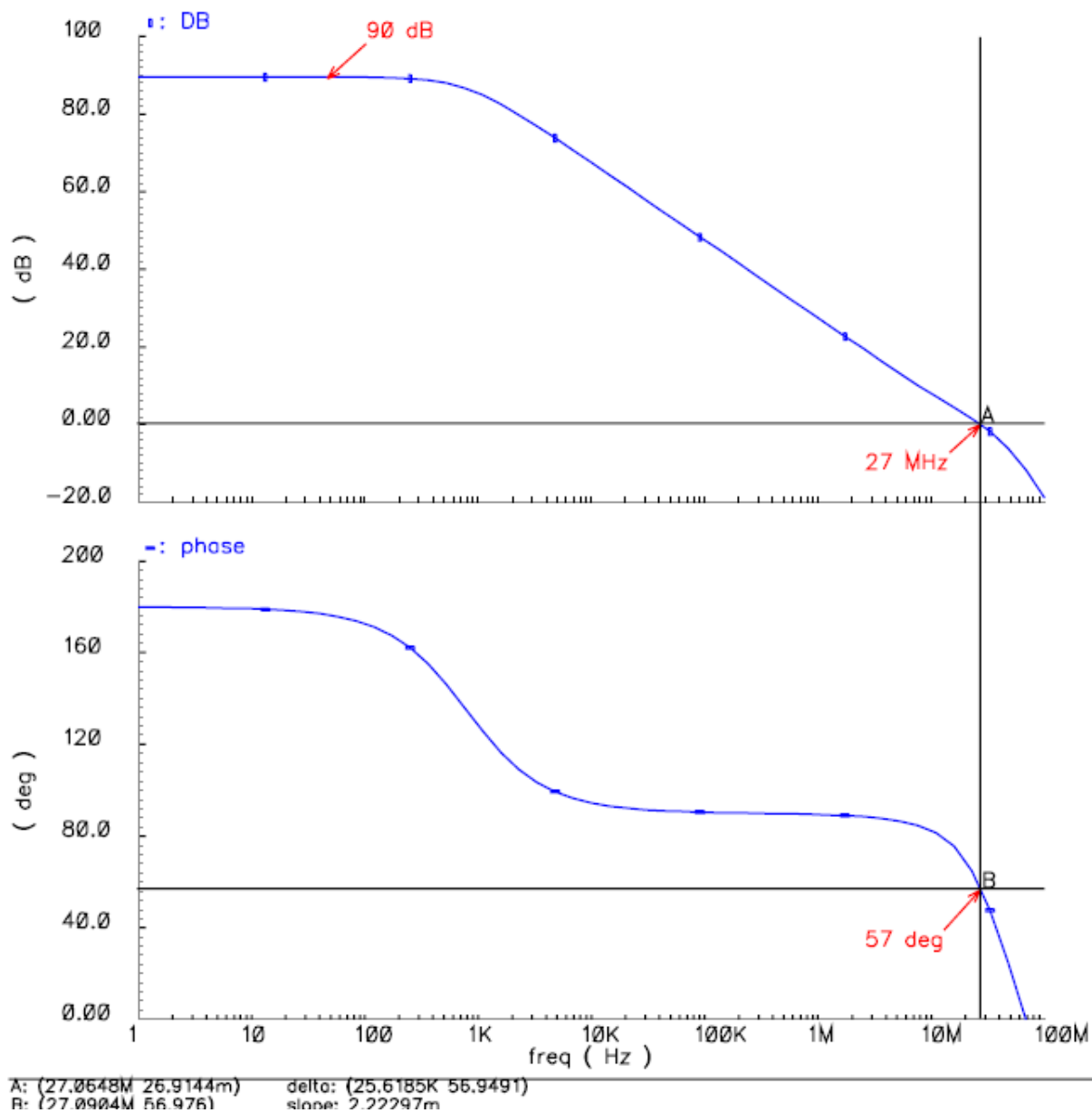
$$\begin{array}{lll} A_U \geq 70 \text{ dB} & U_{CC} = +5 \text{ V} & GBW \geq 20 \text{ MHz} \\ SR \geq 20 \text{ V}/\mu\text{s} & \varphi \approx 60^\circ & P \leq 5 \text{ mW} \\ U_{off} \leq 5 \text{ mV} & C_L = 10 \text{ pF} & \end{array}$$

Tabulka 5.2 uvádí vypočítané rozměry tranzistorů a jejich proudy. V posledním sloupci jsou konečné rozměry po doladění v simulaci.

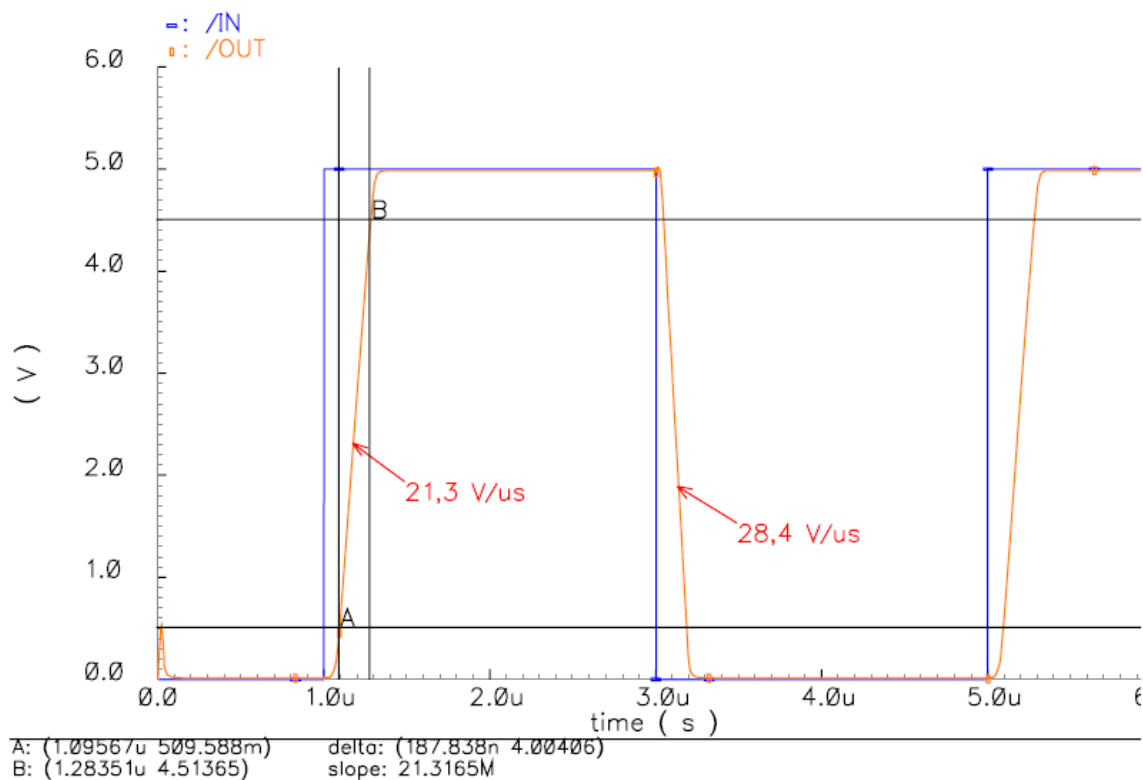
Tab 5.2 Rozměry tranzistorů

	vypočítané rozměry		konečné rozměry
tranzistor	W/L [μm]/[μm]	I_T [μA]	W/L [μm]/[μm]
T1 = T2	121/2,1	22	121/2,1
T3 = T4	8/0,7	22	16/1,4
T5 = T8	50/2,1	44	50/2,1
T6	315/2,1	277	315/2,1
T7	100/0,7	277	200/1,4
T9 = T10	2/1,6	44	2/1,6
T11	25/2,1	22	25/2,1
T12	1/0,7	22	2/1,4
T13	8/0,7	22	16/1,4
T14	8/0,7	-	18/1,4
C_C	2,2 pF		1,5 pF
P_{celk}	1,7 mW		1,8 mW

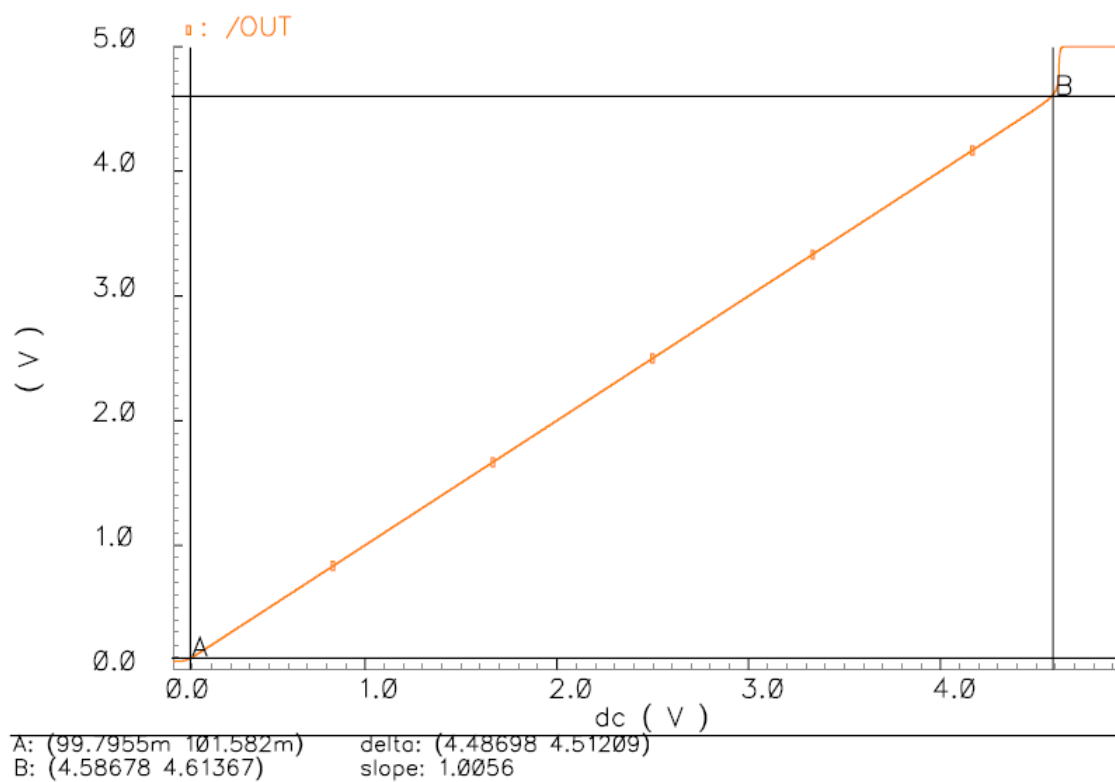
Níže jsou uvedeny výsledky simulace navrženého OZ. Jsou zde simulovány základní parametry, jako je zesílení a fázová rezerva (obr. 21), rychlost přeběhu (obr. 22), vstupní a výstupní napěťový rozsah (obr. 23. resp. 24).



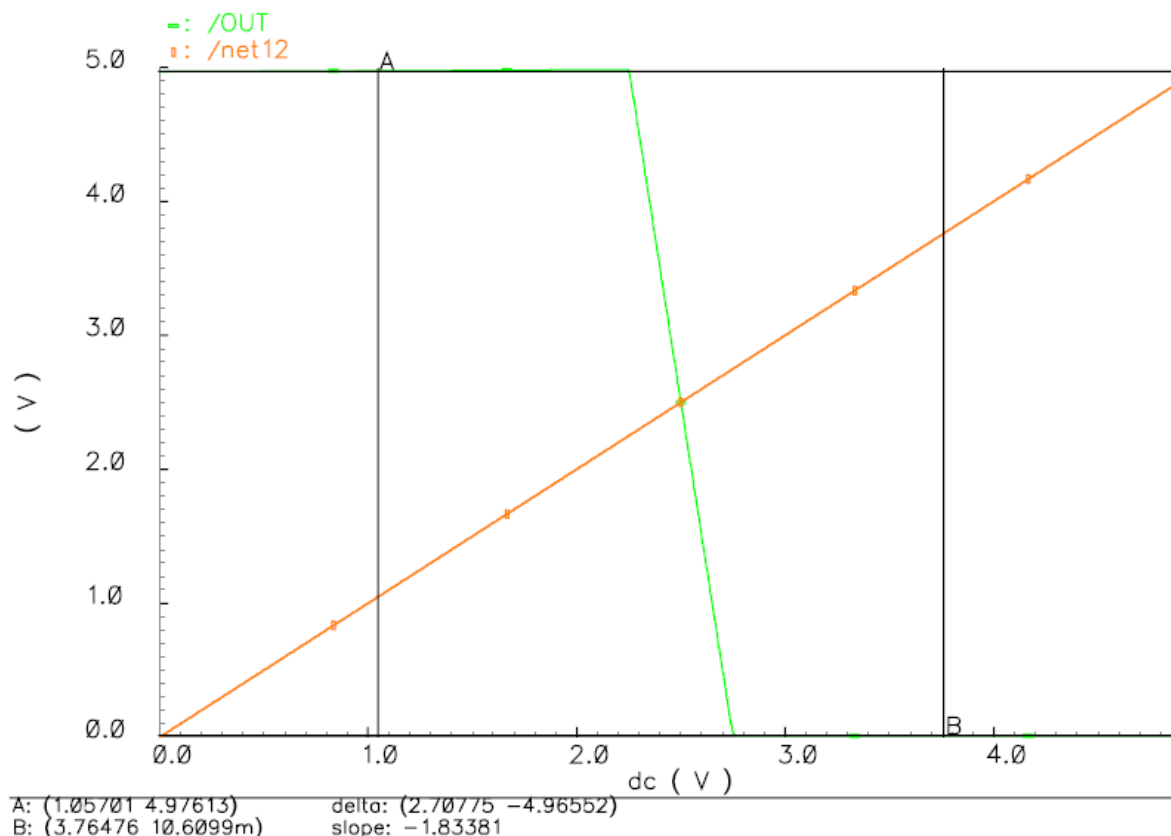
Obr. 21: Kmitočtová charakteristika OZ



Obr. 22: Rychlost přeběhu OZ



Obr. 23: Vstupní napěťový rozsah



Obr. 24: Výstupní napěťový rozsah

Z obr. 24 je zřejmé, že výstup OZ je prakticky rail-to-rail.

Tabulka 5.3 shrnuje konečné parametry navrženého OZ.

Tab 5.3 Parametry operačního zesilovače

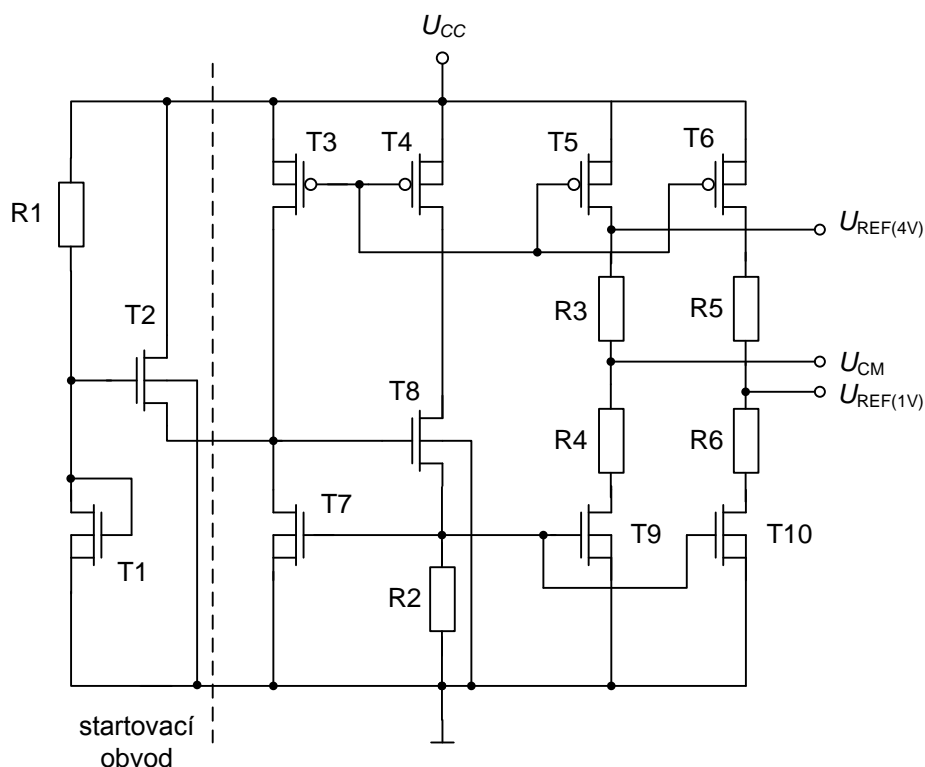
parametr	hodnota
zesílení (A_U)	90 dB
šířka pásma (GBW)	27 MHz
fázová rezerva (PM)	57°
rychlost přeběhu (SR)	21,3 V/μs
offset (U_{off})	2,6 mV
spotřeba	1,8 mW
vstupní napěťový rozsah	(0,1 – 4,6) V
výstupní napěťový rozsah	(0,01 – 4,98) V

Navrhované obvody MDAC pracují se vstupním napětím 1 až 4 V se vzorkovacím kmitočtem 5 MHz a se vstupním signálem o kmitočtu max. 10 kHz. Vstupní i výstupní napěťový rozsah navrženého OZ, jak je patrné z tabulky 5.3, je dostatečný. Šířka pásma navrženého OZ rovněž odpovídá možnosti použití ve výše uvedených kmitočtech.

5.3 Napěťová reference

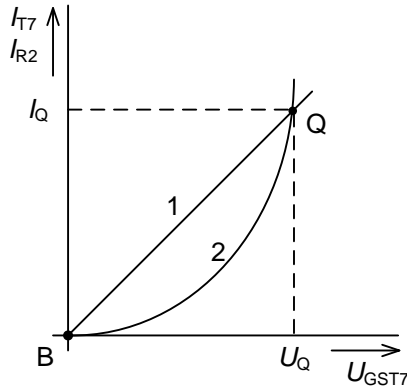
V převodníku se vyskytuje několik požadovaných napěťových úrovní. Malá změna těchto napětí, vlivem např. kolísání napájecího napětí, by nepříznivě ovlivňovala vlastnosti řetězového převodníku AD. Proto byla navržena napěťová reference, na jejímž výstupu je přesné napětí, které je mnohem méně závislé na napájecím napětí. Jako zdroj níže uvedených informací byl použit [1].

Referenční zdroj používaný v této práci je zobrazen na obr. 25. Jedná se o referenční zdroj řízený prahovým napětím tranzistoru – tzv. „bootstrapped“.



Obr. 25: Schéma zapojení napěťové reference

Proudové zrcadlo z tranzistorů T3 a T4 se stejnými rozměry způsobí, že oběma větvemi teče stejný proud. Proud, který teče tranzistorem T7, vytvoří úbytek napětí u_{GST7} . Zrcadlený proud, který teče přes rezistor R2, vytvoří napětí dané jako $I_{R2} \cdot R2$. Vzhledem k tomu, že jsou tato napětí ve společné smyčce, je dosaženo nastavení pracovního bodu. To je ilustrováno na obr. 26.



Obr. 26: Nastavení pracovního bodu

Křivka (1) je dána rovnicí proudu i_{T7} tekoucího tranzistorem

$$i_{T7} = K'_N \cdot \frac{W}{L} \cdot (u_{GST7} - U_{TH})^2. \quad (23)$$

Křivka (2) je dána vztahem

$$i_{R2} = \frac{u_{GST7}}{R_2}. \quad (24)$$

V místě průsečíku těchto dvou charakteristik je příslušný proud I_Q pro pracovní bod Q. Vztah, který tento bod charakterizuje, je po úpravách předchozích rovnic

$$U_Q = i_{R2} \cdot R_2 = \sqrt{\frac{i_{T7} \cdot L}{K'_N \cdot W}} + U_{TH}. \quad (25)$$

Protože se proud $i_{T7} \approx i_{R2}$, pak $i_Q \approx i_{T3} \approx i_{R2}$

$$I_Q = \frac{U_{TH}}{R_2} + \frac{1}{\beta \cdot R_2^2} + \frac{1}{R_2} \cdot \sqrt{\frac{U_{TH}}{\beta \cdot R_2} + \frac{1}{\beta^2 R_2^2}}, \quad (26)$$

$$\text{kde } \beta = K'_N \cdot \frac{W}{L}. \quad (27)$$

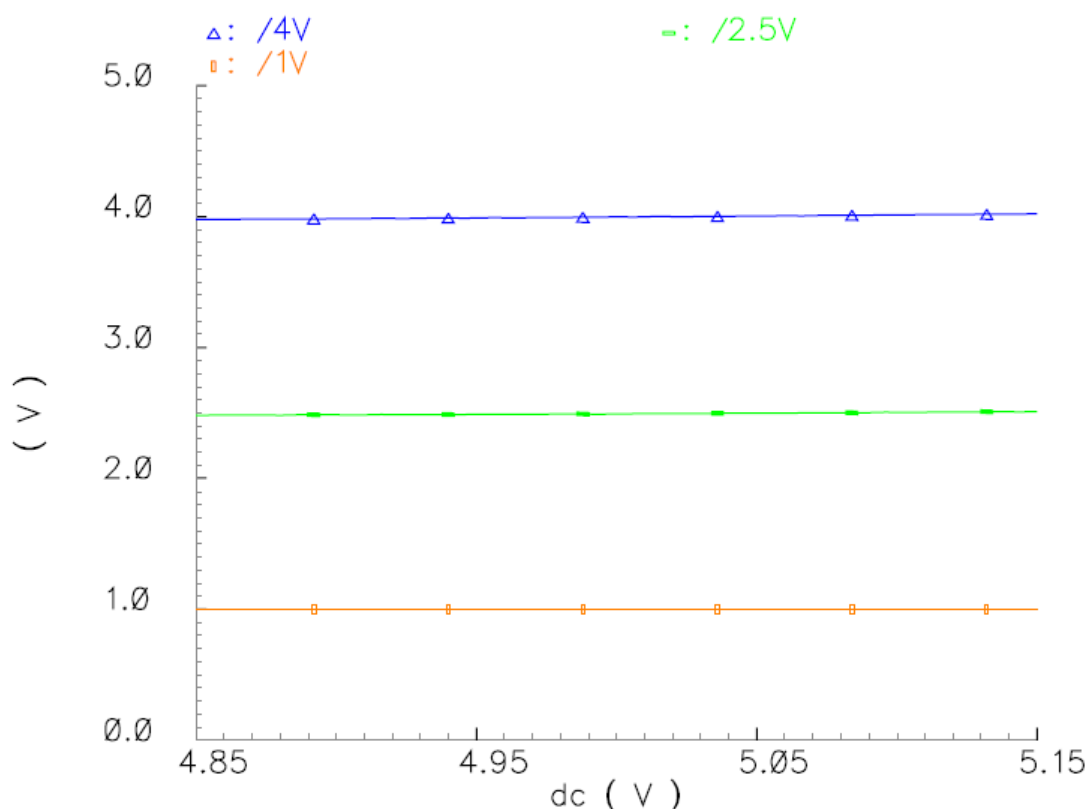
Aby bylo dosaženo požadovaného referenčního napětí na výstupu, je toto základní zapojení doplněno o tranzistory T5 (T6) a T9 (T10), čímž se nastavený proud zrcadlí a pomocí odporových děličů jsou nastavena požadovaná referenční napětí.

Problém u tohoto zapojení nastává při nastavování správného pracovního bodu. Obě charakteristiky se vlastně protínají i v bodě B. Tím by ovšem referenční zdroj nepracoval. Aby se tomuto stavu zabránilo, je nutné použít tzv. startovací obvod. V případě, kdy je obvod

nastaven v nežádoucím bodě B, netečou obvodem ani požadované proudy i_{T7} a i_{R2} . Tranzistor T2 však produkuje proud, který teče také tranzistorem T5. Tím dochází k posunu do správného pracovního bodu. Jak se obvod blíží k danému pracovnímu bodu, zvyšuje se napětí na tranzistoru T2, což způsobí pokles proudu, který tímto tranzistorem teče. Po dosažení pracovního bodu dojde k vyrovnání proudů I_{T7} a I_{R2} .

Jak je z výše uvedených rovnic vidět, nastavení pracovního bodu je nezávislé na změnách napájecího napětí a je dáno pouze velikostí rezistoru R2 a rozměry tranzistoru T7. Tímto typem referenčního zdroje lze také dosáhnout jeho nízké spotřeby.

Požadované výstupní napětí jsou 1 V, 2,5 V a 4 V. Správnost návrhu ukazuje obr. 27.

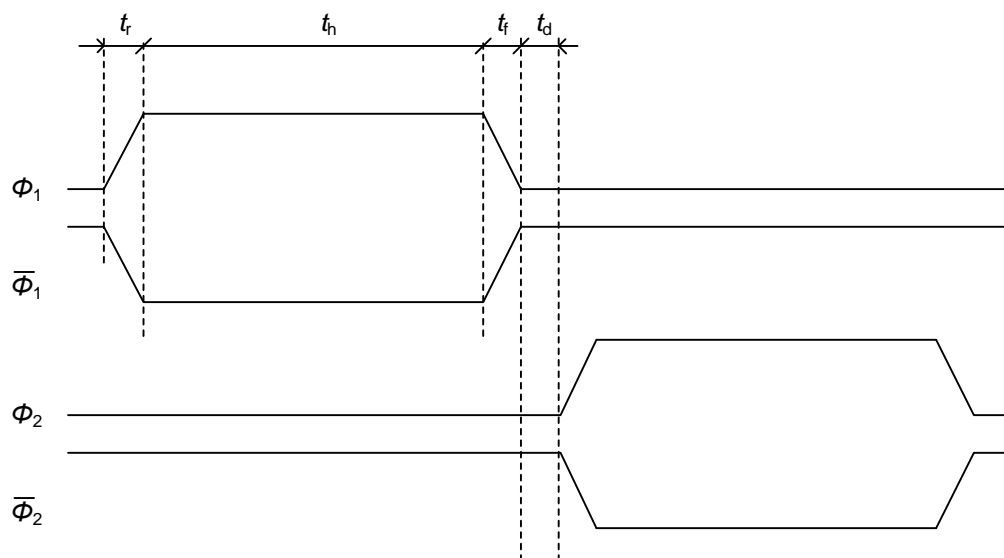


Obr. 27: Závislost výstupního napětí na napájecím napětí

Napájecí napětí v simulaci se pohybovalo v rozmezí 4,85 V – 5,15 V. V této oblasti jsou referenční napětí téměř nezávislé na napájecím napětí.

5.4 Generátor řídicího hodinového signálu

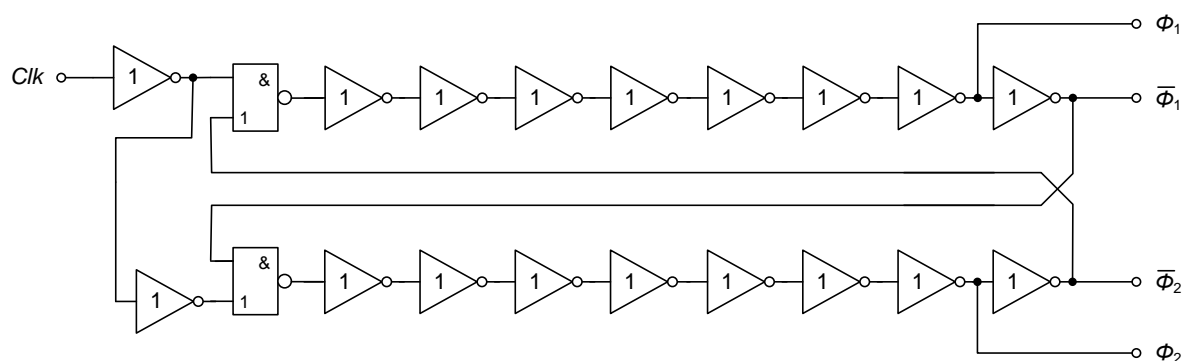
Pro řízení MOS spínačů je třeba vytvořit obvod, který bude generovat dva nepřekrývající se hodinové signály Φ_1 a Φ_2 , jak je tomu ukázáno na obr. 28.



Obr. 28: Generované hodinové signály

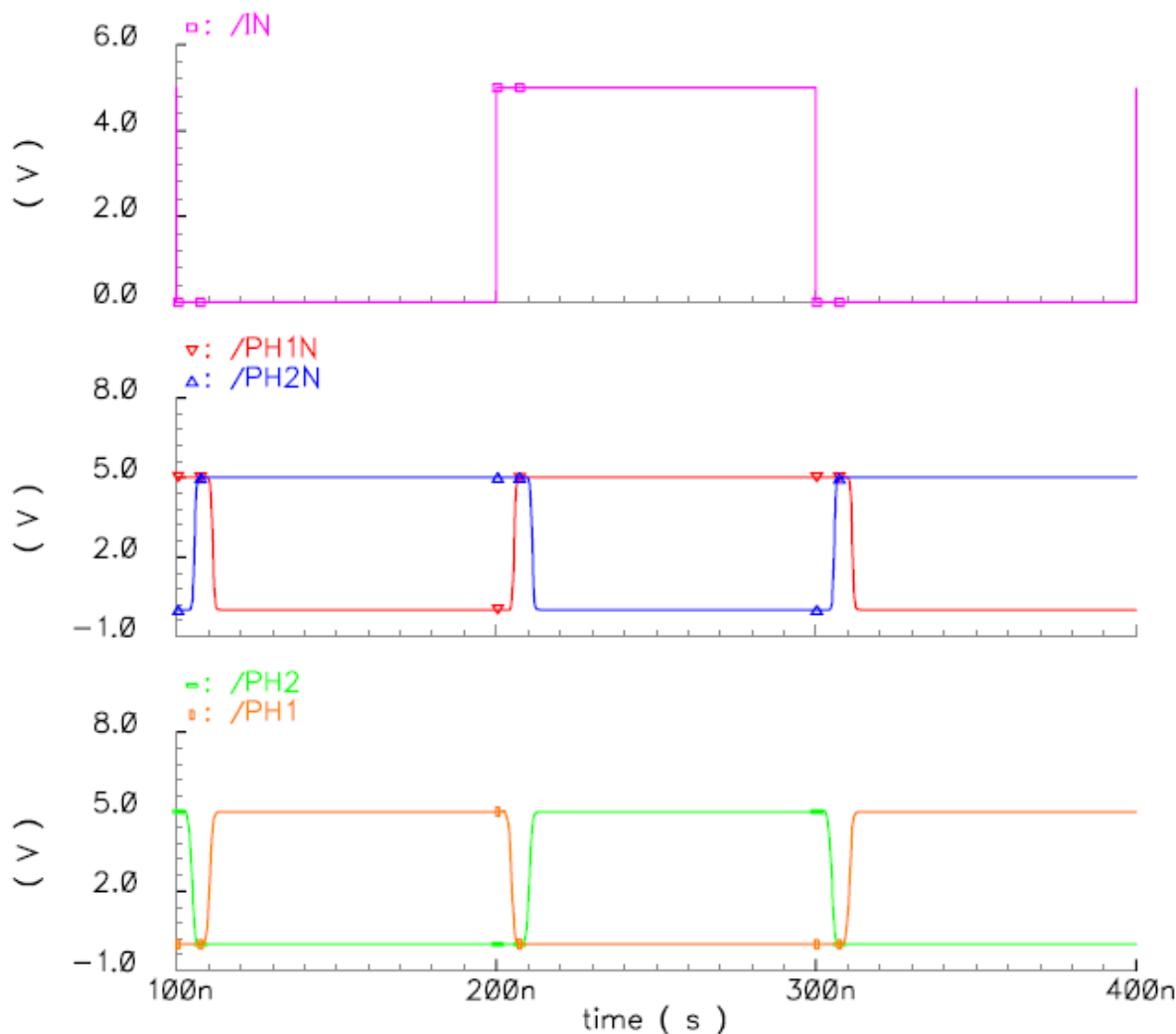
Protože jsou v navrhovaném převodníku AD používány spínače v komplementárním zapojení, vyskytují se mimo signály Φ_1 a Φ_2 další dva signály. Parametry z obr. 28 značí trvání náběžné hrany (t_r), sestupné hrany (t_f) a prodlevu mezi sestupnou a nástupnou fází Φ_1 a Φ_2 .

Schéma obvodu pro generování nepřekrývajících se hodinových signálů je ukázáno na obr. 29. Jedná se o zapojení několika invertorů a členů NAND, kdy je využíváno jejich zpoždění, resp. logické funkce. Na vstupu obvodu se nachází externí generátor 5 MHz.



Obr. 29: Generátor nepřekrývajících se hodinových signálů

Při návrhu logických hradel, zvláště těch výstupních, je třeba brát v úvahu, že existují parazitní kapacity hradel MOS spínače, které se sčítají a ve výsledku dávají nezanedbatelnou hodnotu [17]. Proto u výstupních invertorů jsou tranzistory navrženy s větší šířkou kanálu MOS tranzistoru tak, aby jimi protékal větší proud, a tedy vliv nabíjení a vybíjení parazitních kapacit měl co nejmenší vliv na strmost nástupných či sestupných hran hodinových signálů.



Obr. 30: Simulace generátoru nepřekrývajících se hodinových signálů

Výsledné průběhy navrženého obvodu jsou zobrazeny na obr. 30. Signál PH1 značí Φ_1 a PH2 Φ_2 . Nejvýše je zobrazen signál z externího generátoru. Níže jsou negované signály, které se nepřekrývají v logické úrovni 0 a slouží k spínání PMOS tranzistoru ve spínači. Nejníže jsou pak zobrazeny nepřekrývající se řídicí signály pro spínání NMOS tranzistorů.

Na výstupu byla zapojena kapacita 5 pF pro simulaci zatíženého generátoru parazitními kapacitami MOS spínače. Nástupná hrana $t_r = 4,5$ ns, $t_f = 4,1$ ns, délka aktivní úrovně t_h je 90 ns.

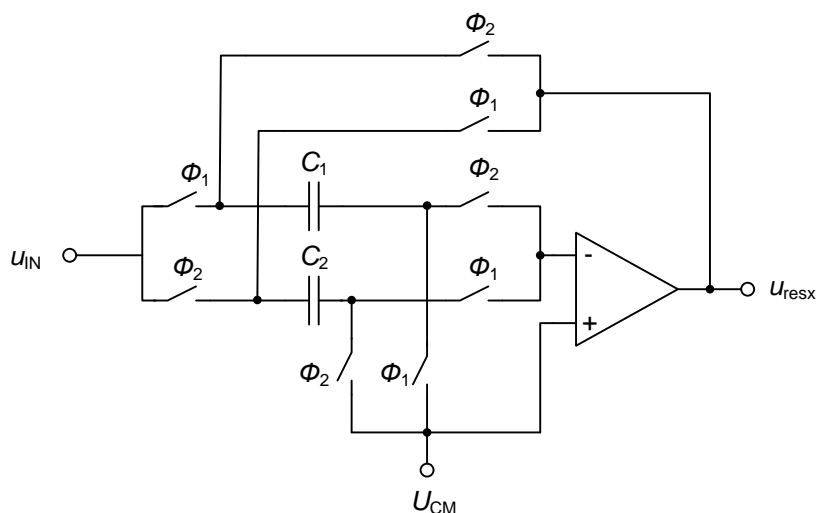
5.5 Vzorkovací obvod

Většina řetězových převodníků AD potřebuje vstupní vzorkovací obvod (S&H) k dosažení vysokého kmitočtu vstupního signálu, aniž by docházelo k chybám. Bez obvodu S&H se v řetězovém převodníku může vyskytnout chyba, která je zapříčiněná rozdílným zpracováním dynamického vstupního signálu v části sub-ADC a ve vzorkovací části

rozdílového členu. Tedy v rozdílovém členu je sejmuta okamžitá hodnota vstupního signálu, avšak na komparátorech může během doby sejmutí vzorku signál vzrůst resp. klesnout tak, že se změní stav komparátorů, což má za důsledek nesprávnou hodnotu na výstupu sub-DAC. Čím větší by byl kmitočet vstupního signálu, tím větší by byla chyba. Tato chyba má stejný efekt jako offset komparátorů v sub-ADC. Lze jí předejít použitím obvodu S&H na vstupu, kdy je vždy během jedné fáze konstantní hodnota vstupního signálu [9].

Protože je obvod S&H na vstupu řetězového převodníku, má velký vliv na jeho vlastnosti.

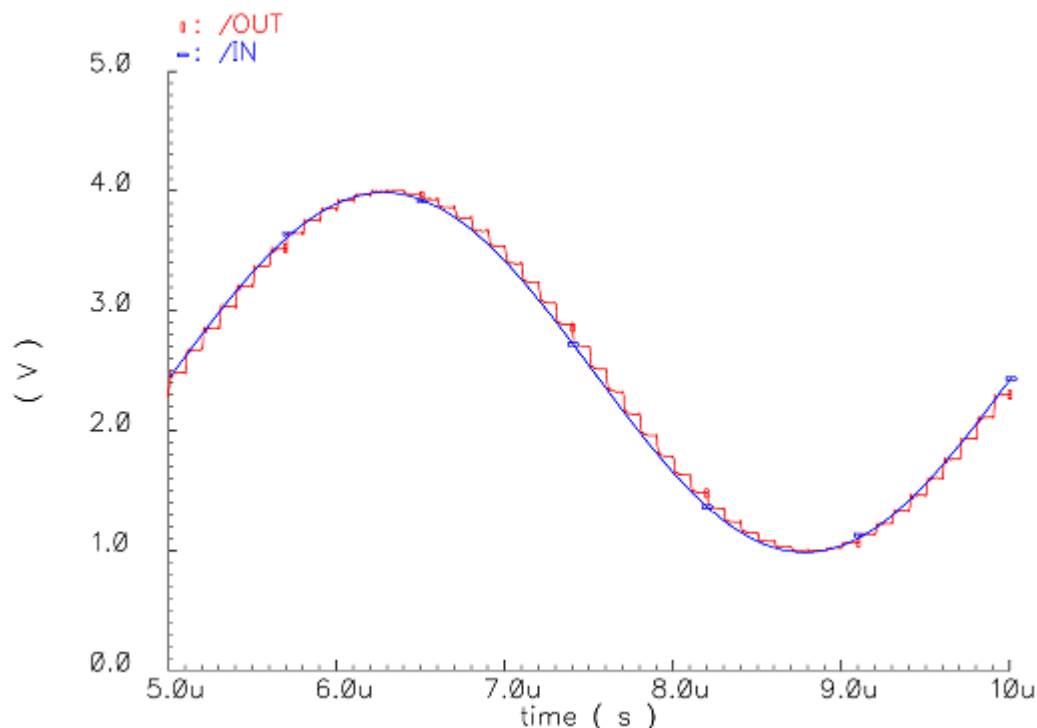
Rychlost vzorkování je limitována šířkou pásma OZ, a proto je potřeba pro rychlý ADC využít jeho šířku pásma co nejefektivněji. Navržený obvod S&H využívá dvojitého vzorkování, kdy vzroste rychlost vzorkování 2x, aniž by bylo nutno použít OZ s větší šířkou pásma. Použitý obvod S&H je ukázán na obr. 31.



Obr. 31: Vzorkovací obvod

V první fázi jsou sepnuty spínače řízené Φ_1 a kapacitor C_1 je nabíjen na hodnotu odpovídající vstupnímu signálu. V další fázi (sepnuty spínače řízené Φ_2) je kapacitor C_1 připojen na výstup, a tedy na výstupu je hodnota odpovídající hodnotě uložené v kapacitě C_1 . Mezitím se nabíjí kapacitor C_2 . V další fázi se úlohy vymění, atd.

Funkce obvodu je ukázána na obr. 32.

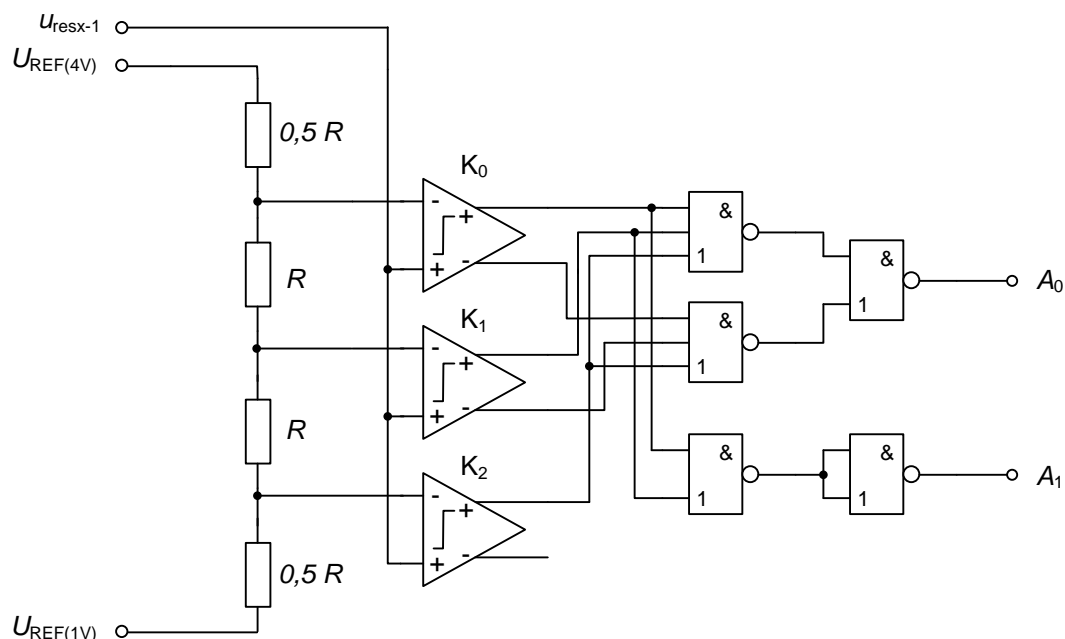


Obr. 32: Vzorkování vstupního signálu

Modrý signál na obrázku je vstupní signál celého řetězového převodníku AD a červený signál je výstupní navzorkovaný signál, který přichází na první stupeň (MDAC). Navržený obvod S&H, stejně jako celý převodník, používá vzorkovací kmitočet 5 MHz. Detail navzorkovaného signálu lze najít v příloze č.3 (obr. P 7). Je vidět, že signál po sejmutí vzorku nejdříve klesne pod přesnou úroveň. Ustálí se však na správnou hodnotu za 20 ns. Překmitý na konci vzorku dosahují 4 mV.

5.6 Paralelní ADC s rozlišením 2 bitů

Jak již bylo řečeno v kapitole 4, poslední stupeň nepotřebuje generovat residuum a je proto řešen jako 2-bitový paralelní ADC. Skládá se ze tří komparátorů a několika logických členů NAND pro kódování na požadovaný výstupní kód. Schéma zapojení ukazuje obr. 33.



Obr. 33: Schéma 2-bitového paralelního ADC

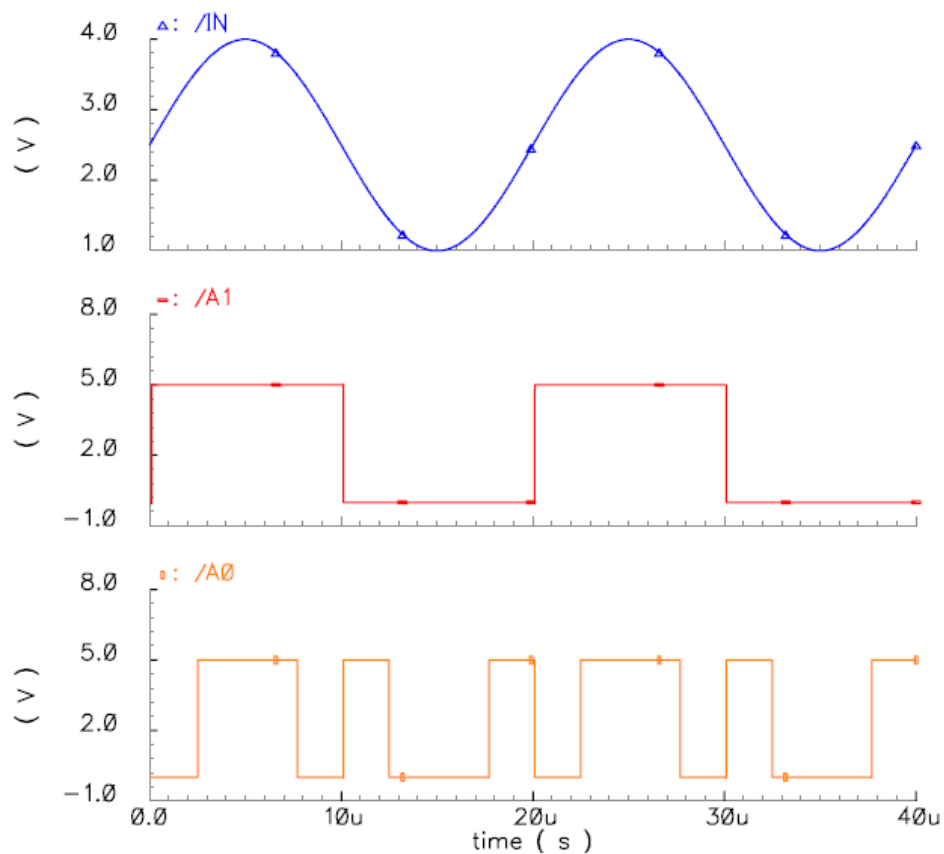
Celý obvod pracuje na stejném principu jako sub-ADC v MDAC probíraném v kapitole 6, a proto zde nebude detailně rozebírán. Na rozdíl od sub-ADC však na jeho výstupu je úplné dvoubitové číslo, tedy včetně hodnoty 11.

Při návrhu kodéru je využito skutečnosti, že výstup A_1 je v logické úrovni tehdy, je-li na kladném výstupu komparátoru K1 a K2 logická úroveň 1. Zpracování je řešeno pomocí dvou dvouvstupových členů NAND, a to z důvodu stejného zpoždění jako má signál A_0 . Pro výstupy A_0 a A_1 platí

$$A_0 = K_0 K_1 K_2 + \overline{K_0 K_1 K_2} = \overline{K_0 K_1 K_2} \cdot \overline{\overline{K_0 K_1 K_2}}, \quad (28)$$

$$A_1 = K_0 K_1. \quad (29)$$

Kde hodnoty $\overline{K_0 K_1}$ jsou záporné výstupní svorky komparátorů. Výstupní průběhy jsou pak ukázány na obr. 34.



Obr. 34: Výstupy 2-bitového paralelního ADC

Spotřeba paralelního převodníku je dána spotřebou komparátorů a proudem tekoucím rezistorovým děličem. Hodnota $R = 20 \text{ k}\Omega$, tedy proud tekoucí děličem činí $50 \text{ }\mu\text{A}$. Spotřeba pak je $1,4 \text{ mW}$.

6 MDAC

Jak již bylo zmíněno v kapitole 4, funkcí MDAC je převod vstupního analogového signálu do binární podoby. Je odeslán do bloku časové korekce, poté zpět převeden do analogové podoby a odečten od původního signálu. Výsledné residuum je ještě zesíleno. Tato kapitola se zabývá návrhem a simulací MDAC v rozlišení 1,5 bitů a 2,5 bitu. Oba MDAC

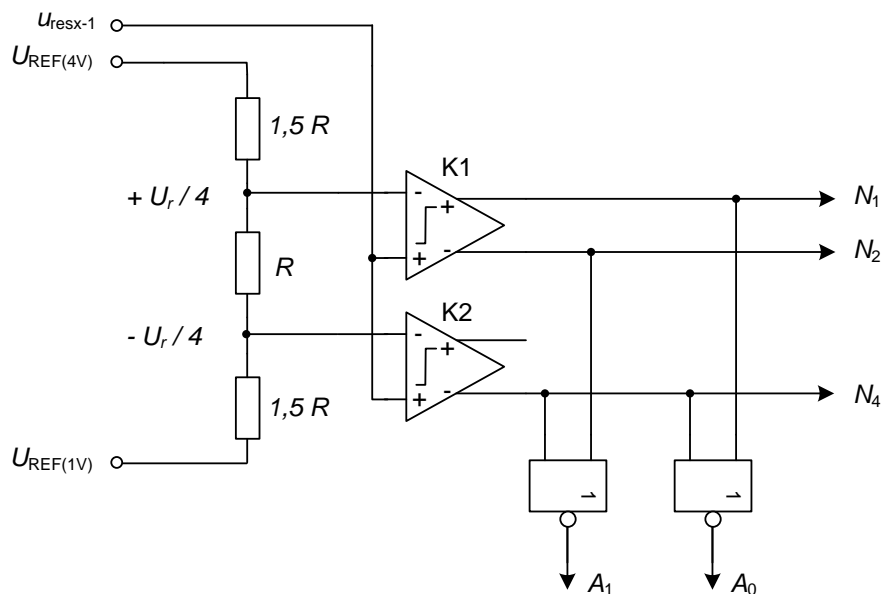
- pracují se vzorkovacím kmitočtem 5 MHz,
- amplituda vstupního signálu může být maximálně $\pm 1,5$ V,
- jsou testovány signálem, jehož kmitočet je 10 kHz.

Protože veškeré obvody v řešené technologii CMOS 0,7 μm jsou napájeny + 5 V, napětí U_r a $u_{\text{resx-1}}$ jsou pozvednuty o hodnotu souhlasného napětí $U_{\text{CM}} = 2,5$ V, tedy např. $U_r = \pm 1,5$ V ve skutečnosti znamená, že je na těchto uzlech napětí o hodnotách 1 V a 4 V.

6.1 MDAC v rozlišení 1,5 bitu

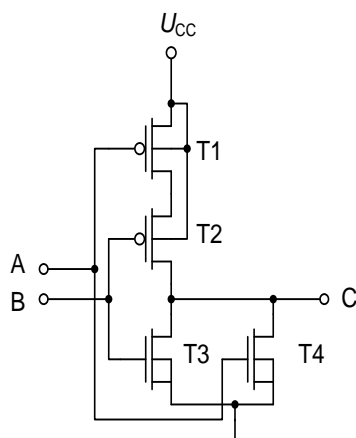
Nejdříve je věnována pozornost MDAC s jednodušší strukturou, tedy 1,5 bitové struktuře. Skládá se ze dvou komparátorů, zesilovače a několika spínačů. Jsou zde rozebrány dílčí části a na závěr je ověřena správnost funkce v simulačním programu Cadence. Typickou strukturu uvádí obr. 12 a jeho převodní charakteristiku obr. 13.

Vstupní signál $u_{\text{resx-1}}$ nejdříve přichází na vstupy komparátorů. Zde je porovnáván s referenčními napětími (zajišťovanými rezistorovým děličem), jejichž velikost je $\pm U_r/4$. Napětí U_r , od něhož se odvozují různé napěťové reference v obvodu, má hodnotu maximální amplitudy vstupního signálu, tedy 1,5 V. Výstupní signál se typicky dekóduje, odesílá do bloků korekce a i tento signál adresuje vstupy multiplexeru. V tomto návrhu však jsou signály z komparátorů, $N1$, $N2$, $N4$ ($N3$ není využit), přímo přivedeny na adresovací vstupy multiplexeru a paralelně dekódovány na výstupní dvoubitové slovo pro korekční bloky. Podstatně se tím zjednoduší realizace multiplexeru (především u 2,5 bitového MDAC) a obvod je tedy méně náchylný na hazardy, které by mohla způsobovat další přidaná logická hradla pro potřebnou úpravu adresování.



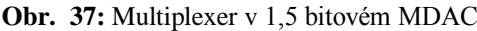
Obr. 35: Obvod sub-ADC

V obvodu se vyskytují logická hradla NOR. Jejich vnitřní zapojení jsou ukázána na obr. 36.



Obr. 36: Logické hradlo NOR

Jak již bylo zmíněno, výstupní signály z komparátorů $N1$, $N2$, $N4$ slouží jako adresovací vstupy multiplexeru, na jehož výstupu je analogový signál, který je v dalším obvodu odečítán od vstupního signálu u_{resx-1} . Multiplexer je řešen pomocí MOS tranzistorů jako spínačů. Na datových vstupech jsou referenční napětí o hodnotách $\pm U_r$ a U_{CM} , tedy 4 V, 2,5 V a 1 V.



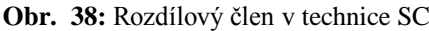
Popis funkce obvodů sub-ADC a sub-DAC popisuje tabulka 6.1

Tab 6.1 Funkce obvodů sub-ADC a sub-DAC

vstupní signál	výstupy komparátorů				výstupní kód		výstup sub-DAC
$u_{\text{resx-1}}$	$N1$	$N2$	$N3$	$N4$	A_1	A_0	u_{DAC}
$u_{\text{resx-1}} > U_r / 4$	1	0	1	0	1	0	4 V
$U_r / 4 > u_{\text{resx-1}} > - U_r / 4$	0	1	1	0	0	1	2,5 V
$- U_r / 4 > u_{\text{resx-1}}$	0	1	0	1	0	0	1 V

Poslední částí MDAC je obvod realizovaný technikou SC (obr. 38), na jehož výstupu je rozdíl signálů

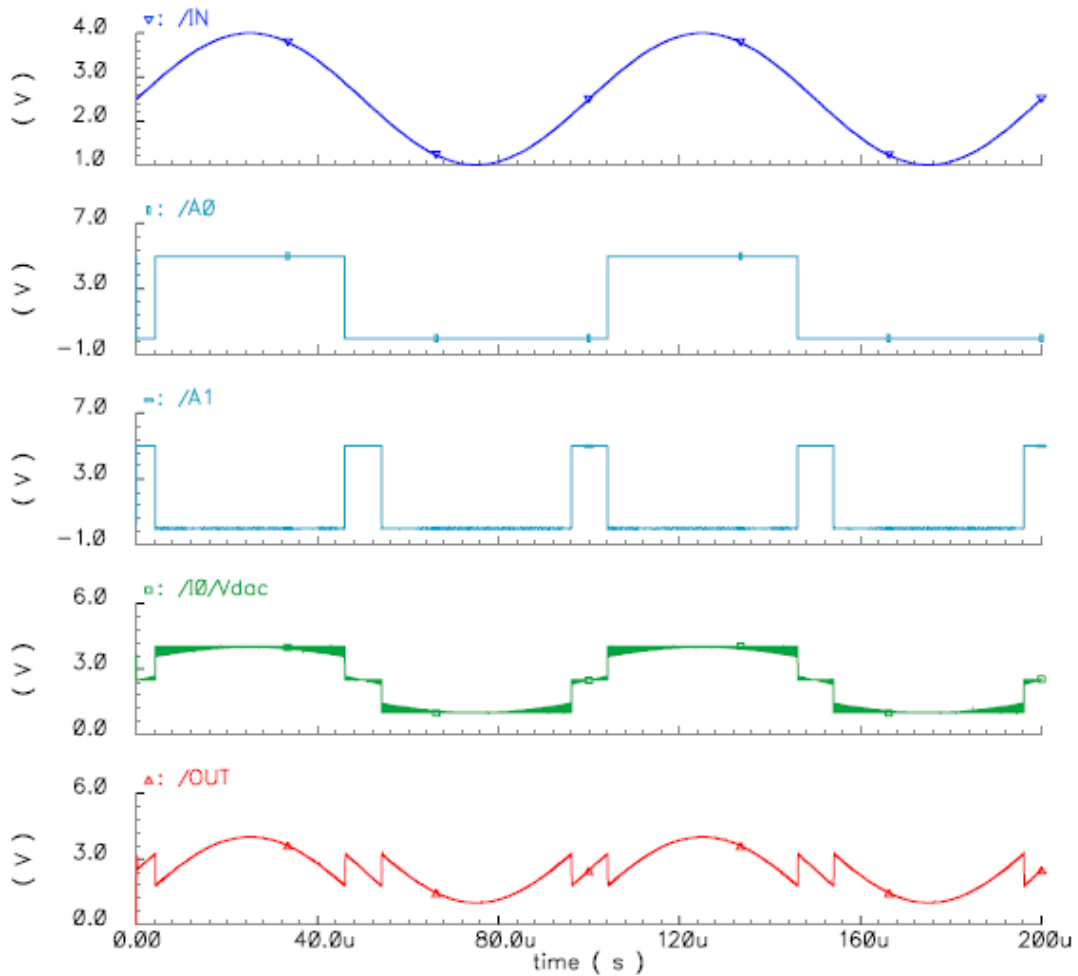
$$u_{resx} = u_{resx-1} - u_{DAC} \quad (30)$$



Jedná se o dvojitý vzorkovací obvod, který pracuje ve dvou režimech. V první fázi jsou sepnuty spínače řízené signálem Φ_1 , spínače řízené signálem Φ_2 jsou rozepnuty. Na obr. 36 vrchní část obvodu pracuje v režimu nabíjení kapacitorů C_F a C_S , které pak vytvoří počáteční podmínky pro další fázi. Spodní k ní symetrická část pracuje v režimu invertujícího zesilovače a na výstupu je odpovídající residuum. V druhé fázi, při změně stavu spínačů, se funkce dvou symetrických částí vymění. Výsledné residuum má hodnotu

$$\begin{aligned} &\left(1 + \frac{C_S}{C_F}\right) \cdot u_{resx-1} - U_r \quad \text{pokud} \quad u_{resx-1} > U_r / 4, \\ &\left(1 + \frac{C_S}{C_F}\right) \cdot u_{resx-1} \quad \text{pokud} \quad -U_r / 4 < u_{resx-1} < U_r / 4, \\ &\left(1 + \frac{C_S}{C_F}\right) \cdot u_{resx-1} + U_r \quad \text{pokud} \quad u_{resx-1} < -U_r / 4. \end{aligned} \quad (31)$$

Výsledky simulace s průběhy v důležitých bodech ukazuje obr. 39.

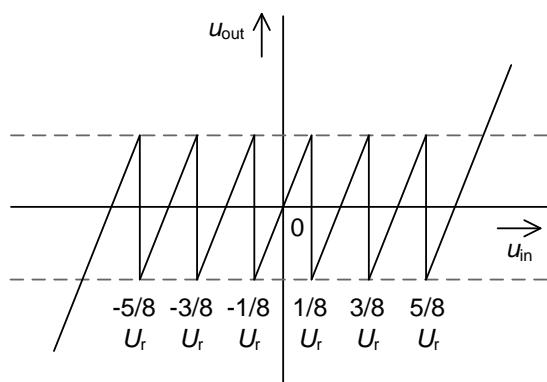


Obr. 39: Průběhy v důležitých bodech 1,5 bitového MDAC

Na obr. 39 jsou výsledky simulace s průběhy signálů v důležitých bodech. Srovnání s tabulkou 6.1 říká, že navržený obvod pracuje správně. Spotřeba celého 1,5 bitového MDAC činí 3,2 mW, přičemž nejvíce energie spotřebovává OZ (1,8 mW) a komparátory (0,625 mW).

6.2 MDAC v rozlišení 2,5 bitu

Dá se očekávat, že návrh 2,5 bitového MDAC bude znatelně složitější, než tomu bylo v předchozí kapitole 6.1. Skládá se ze šesti komparátorů, zesilovače a několika spínačů. Jsou zde opět rozebrány dílčí části a na závěr je ověřena správnost funkce v simulačním programu Cadence. Převodní charakteristika tohoto MDAC je na obr. 40.

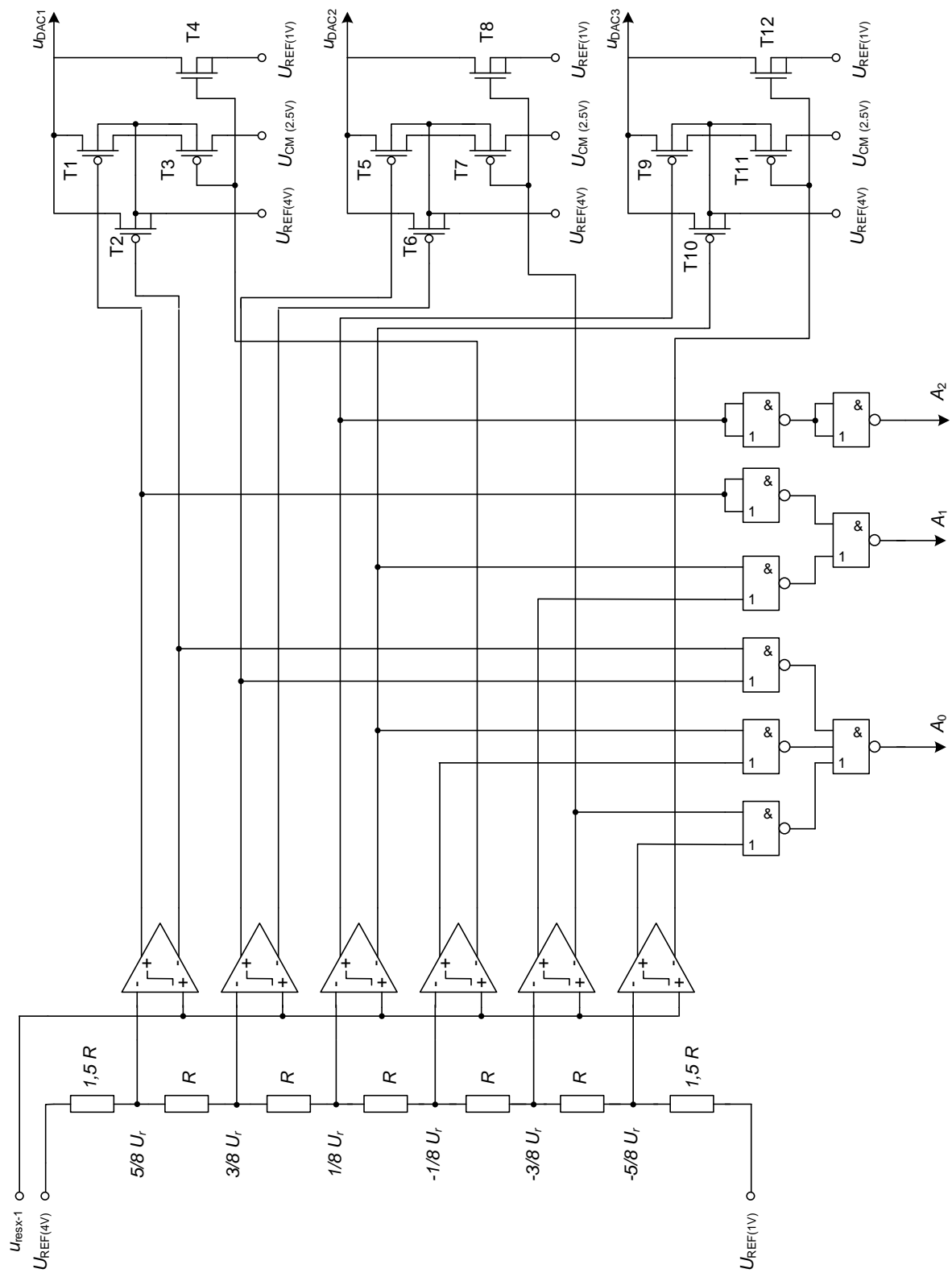


Obr. 40: Převodní charakteristika 2,5 bitového MDAC

Vstupní napětí bude porovnáváno na šesti komparátorech s referenčními napětími $\pm 5/8 U_r$, $\pm 3/8 U_r$, $\pm 1/8 U_r$. Do bloků korekce odchází tříbitový signál. Výstupy komparátorů opět přímo adresují nikoliv jeden, ale tři multiplexery, na jejichž vstupech jsou opět hodnoty $\pm U_r$ a U_{CM} , tedy 4 V, 2,5 V a 1 V a není tedy třeba realizovat další referenční napětí. Každý výstup jednotlivého multiplexeru (u_{DAC1} , u_{DAC2} , u_{DAC3}) tvoří 1/3 celkové velikosti signálu pro odečet od vstupního signálu u_{resx-1} . Tímto způsobem řešení se podstatně zjednoduší řešení především bloku sub-DAC. Myšlenka tří multiplexeru je shrnuta v tabulce 6.2.

Tab 6.2 Funkce tří multiplexeru v sub-DAC

výstupy multiplexeru [V]			výsledné napětí pro rozdílový člen [V]	
u_{DAC3}	u_{DAC2}	u_{DAC1}	$u_{DACcelk}$	
4	4	4	4	$= U_r$
4	4	2,5	3,5	$= 2/3 U_r$
4	2,5	2,5	3	$= 1/3 U_r$
2,5	2,5	2,5	2,5	$= U_{CM}$
2,5	2,5	1	2	$= - 1/3 U_r$
2,5	1	1	1,5	$= - 2/3 U_r$
1	1	1	1	$= - U_r$



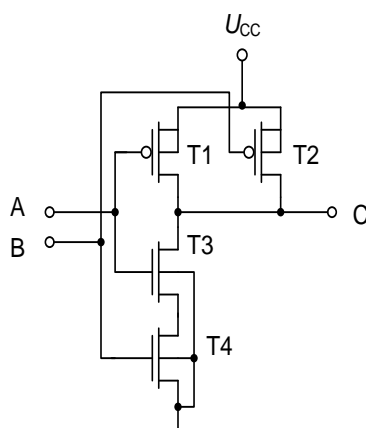
Obr. 41: Obvody sub-ADC a sub-DAC u 2,5 bitového MDAC

Na obr. 41 je hotové zapojení obvodů sub-ADC a sub-DAC. Obvod kodéru, tzn. logická hradla, NAND, převádí signál do požadovaného výstupního kódu. U výstupu A_2 jsou tyto hradla umístěny proto, aby zpoždění všech výstupů, způsobené právě těmito hradly, byly stejné. Popis činnosti tohoto zapojení popisuje tabulka 6.3.

Tab 6.3 Funkce obvodů sub-ADC a sub-DAC

vstupní signál	výstupní kód			výstup sub-DAC [V]		
	A_2	A_1	A_0	u_{DAC3}	u_{DAC2}	u_{DAC1}
$u_{resx-1} > 5/8 U_r$	1	1	0	4	4	4
$5/8 U_r > u_{resx-1} > 3/8 U_r$	1	0	1	4	4	2,5
$3/8 U_r > u_{resx-1} > 1/8 U_r$	1	0	0	4	2,5	2,5
$1/8 U_r > u_{resx-1} > -1/8 U_r$	0	1	1	2,5	2,5	2,5
$-1/8 U_r > u_{resx-1} > -3/8 U_r$	0	1	0	2,5	2,5	1
$-3/8 U_r > u_{resx-1} > -5/8 U_r$	0	0	1	2,5	1	1
$-5/8 U_r > u_{resx-1}$	0	0	0	1	1	1

Pro úplnost obr. 41 je uvedeno níže, na obr. 42 zapojení hradla NAND na tranzistorové úrovni.

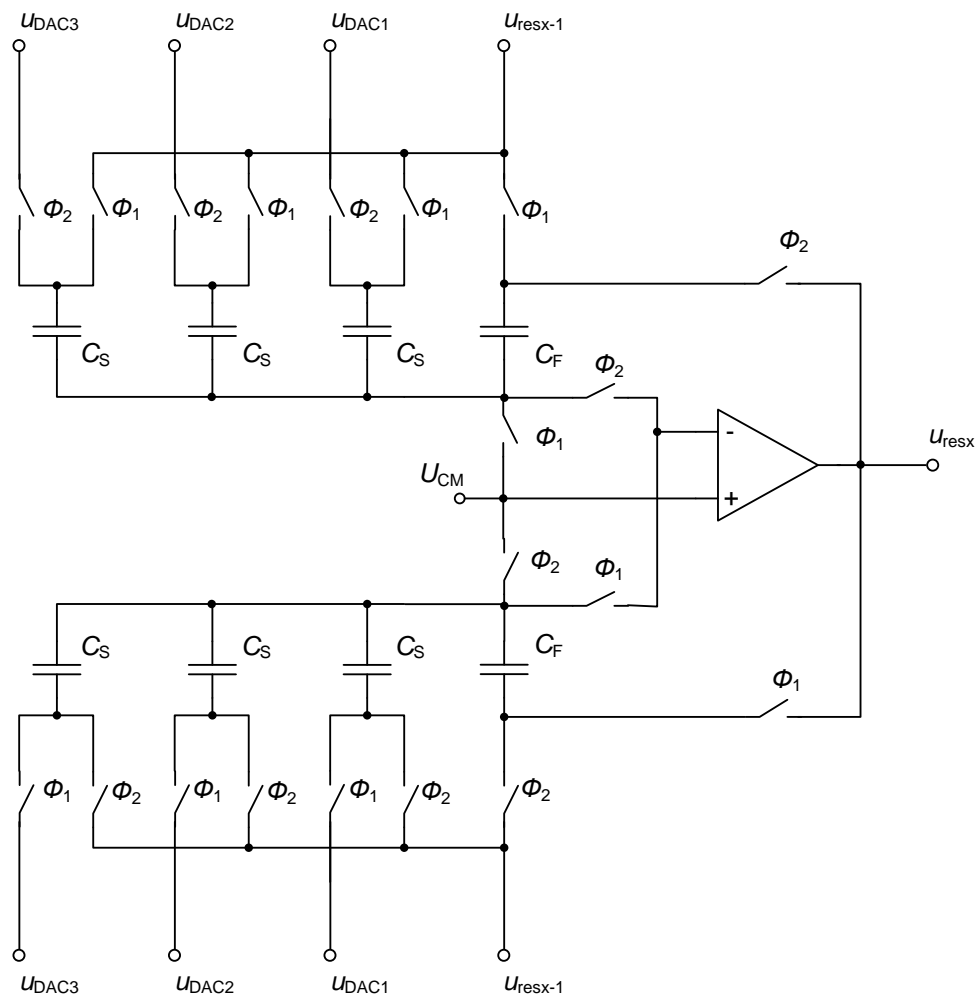


Obr. 42: Logické hradlo NAND

Poslední částí 2,5 bitového MDAC je obvod, který realizuje operaci

$$u_{resx} = u_{resx-1} - \frac{(u_{DAC1} + u_{DAC2} + u_{DAC3})}{3}. \quad (32)$$

Tento obvod, realizovaný technikou SC (obrázky 43).



Obr. 43: Rozdílový člen v technice SC

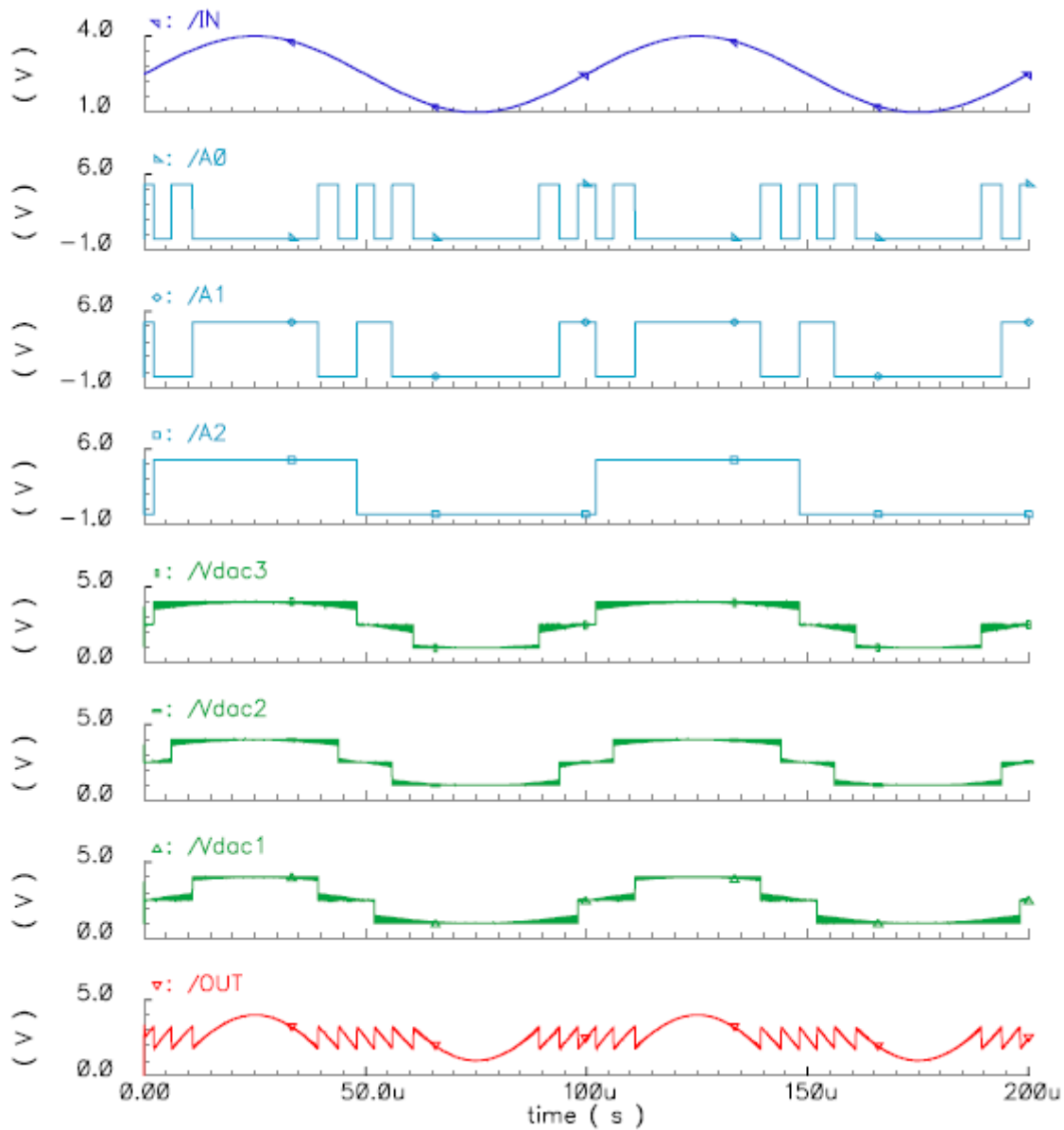
Jedná se, stejně jako v případě 1,5 bitové struktury, o dvojitý symetrický vzorkovací obvod s přivedenými výstupy z obvodu sub-DAC. Funkce je popsána pro horní část (nad OZ), spodní část pracuje stejně, jen s opačnými fázemi sepnutí spínačů. V první fázi jsou nabíjeny kapacitory C_S a kapacitor C_F na hodnotu odpovídající hodnotě vstupního signálu u_{rex-1} a vytvoří tak počáteční podmínku pro druhou fázi. V druhé fázi se sepnou spínače řízené hodinovým signálem Φ_2 . Obvod je nyní zapojen jako invertující zesilovač, na jehož vstupech jsou tři napětí z multiplexeru a tři paralelně zapojené kapacitory. Zesílení této fáze lze popsat rovnicí

$$A_U = (u_{DAC1} + u_{DAC2} + u_{DAC3}) \cdot \frac{C_F}{3 \cdot C_S} = \left(\frac{u_{DAC1}}{3} + \frac{u_{DAC2}}{3} + \frac{u_{DAC3}}{3} \right) \cdot \frac{C_F}{C_S}. \quad (33)$$

Je tedy vidět, že každý výstup multiplexeru tvoří 1/3 výstupního napětí, které je odečítáno od vstupního signálu $u_{\text{resx}-1}$, jak o tom vypovídá tabulka 6.2. Ve vztahu k vstupnímu $u_{\text{resx}-1}$, má výstupní signál u_{resx} , za předpokladu $C_S = C_F$ hodnotu

$$\begin{aligned}
4 \cdot u_{\text{resx}-1} - 3 \cdot U_r & \text{ pokud } u_{\text{resx}-1} > \frac{5}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} - 2 \cdot U_r & \text{ pokud } \frac{5}{8} \cdot U_r > u_{\text{resx}-1} > \frac{3}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} - U_r & \text{ pokud } \frac{3}{8} \cdot U_r > u_{\text{resx}-1} > \frac{1}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} & \text{ pokud } \frac{1}{8} \cdot U_r > u_{\text{resx}-1} > -\frac{1}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} + U_r & \text{ pokud } -\frac{1}{8} \cdot U_r > u_{\text{resx}-1} > -\frac{3}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} + 2 \cdot U_r & \text{ pokud } -\frac{3}{8} \cdot U_r > u_{\text{resx}-1} > -\frac{5}{8} \cdot U_r, \\
4 \cdot u_{\text{resx}-1} + 3 \cdot U_r & \text{ pokud } -\frac{5}{8} \cdot U_r > u_{\text{resx}-1}.
\end{aligned} \tag{34}$$

Výsledky simulace navrženého obvodu ukazuje obr. 44. Nejvýše je ukázán vstupní sinusový signál, níže jsou postupně ukázány digitální výstupy do obvodů korekce $A_0 - A_2$, výstupy z multiplexeru $u_{\text{DAC3}} - u_{\text{DAC1}}$ a nejnižší signál u_{resx} , tedy signál na výstupu 2,5 bitového MDAC.

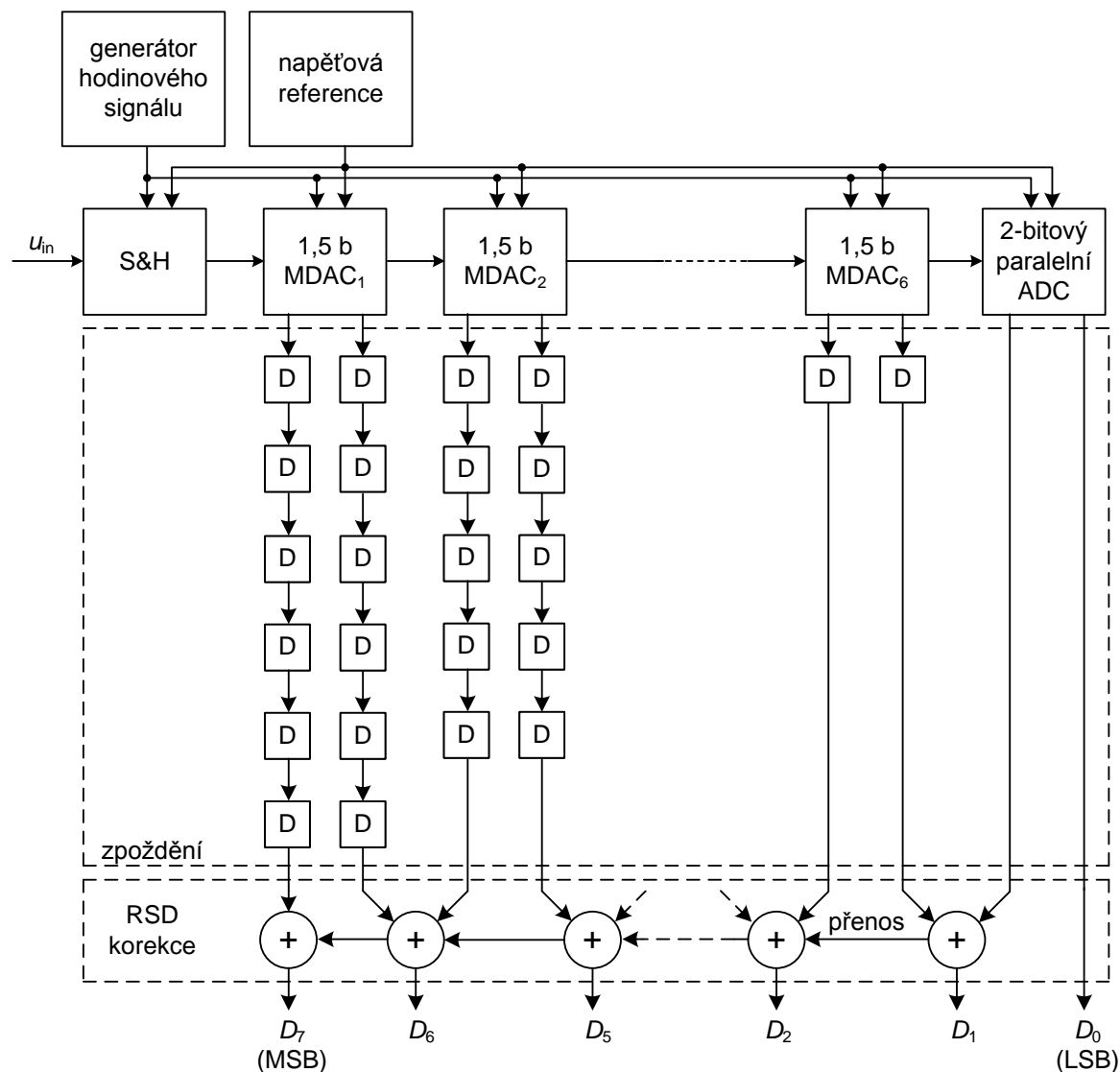


Obr. 44: Průběhy v důležitých bodech 2,5 bitového MDAC

Všechny signály na obr. 44 odpovídají teoretickým předpokladům. Správnost návrhu 2,5 bitového MDAC byla tedy ověřena. Celková spotřeba činí 6 mW.

7 Řetězový převodník AD s 1,5 bitovými MDAC

V předešlých kapitolách byly popsány realizace dílčích částí řetězového převodníku jako MDAC, napěťová reference, atd. Tato kapitola se již věnuje celému převodníku, realizovaného pomocí 1,5 bitového MDAC. Jedná se o 8-bitovou strukturu, jejíž základ tvoří šest bloků MDAC a jeden blok paralelního ADC. Strukturu ukazuje obr. 45.

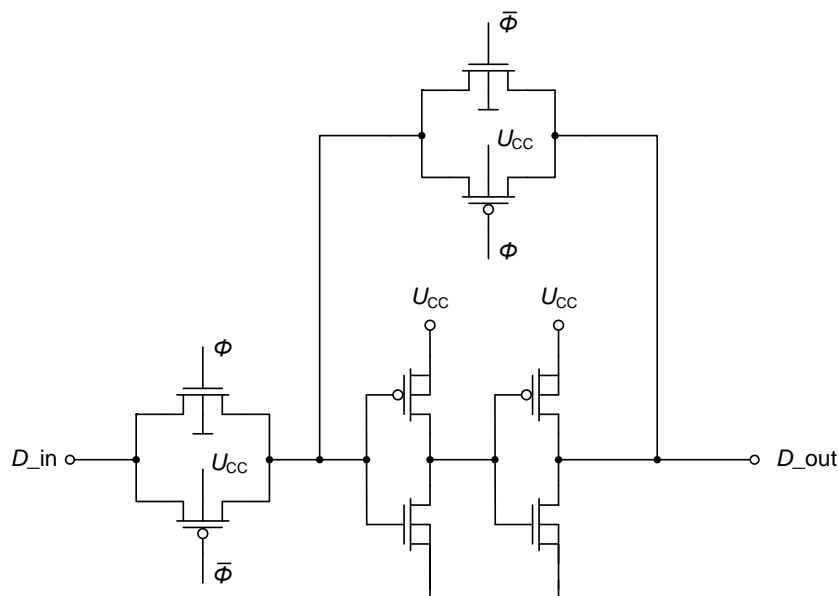


Obr. 45: Struktura převodníku AD s 1,5 bitovými MDAC

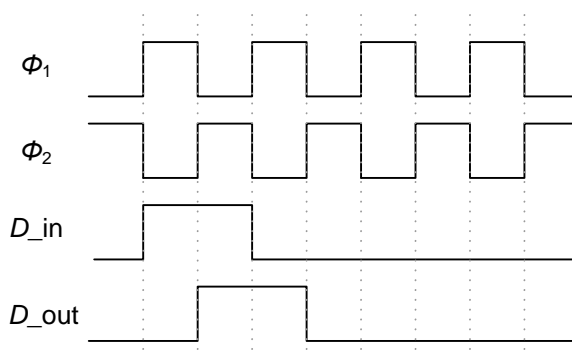
Mimo již zmíněných bloků v předešlých kapitolách se zde vyskytují klopné obvody typu D v bloku časové korekce a digitální logika v bloku RSD. Detailní rozbor těchto částí včetně realizace je uveden v následujících podkapitolách.

7.1 Blok časové korekce a časování obvodů

Protože MDAC obsahuje obvody, které pracují ve dvou fázích závislých na řídicím hodinovém signálu (komparátor v sub-ADC. S&H, atd.), dochází ke zpoždění signálu na výstupu. Toto zpoždění každého MDAC je úměrné polovině periody řídicího hodinového signálu. Je třeba si rovněž uvědomit, že signál prochází několika MDAC a časová zpoždění se tedy sčítají. Nutno tedy zajistit, aby na výstup, resp. do bloku RSD korekce, přicházely signály, které jsou již časově synchronizované. K tomu slouží blok časové korekce, který je realizován jako posuvný registr tvořený D klopnými obvody (obr. 45.).

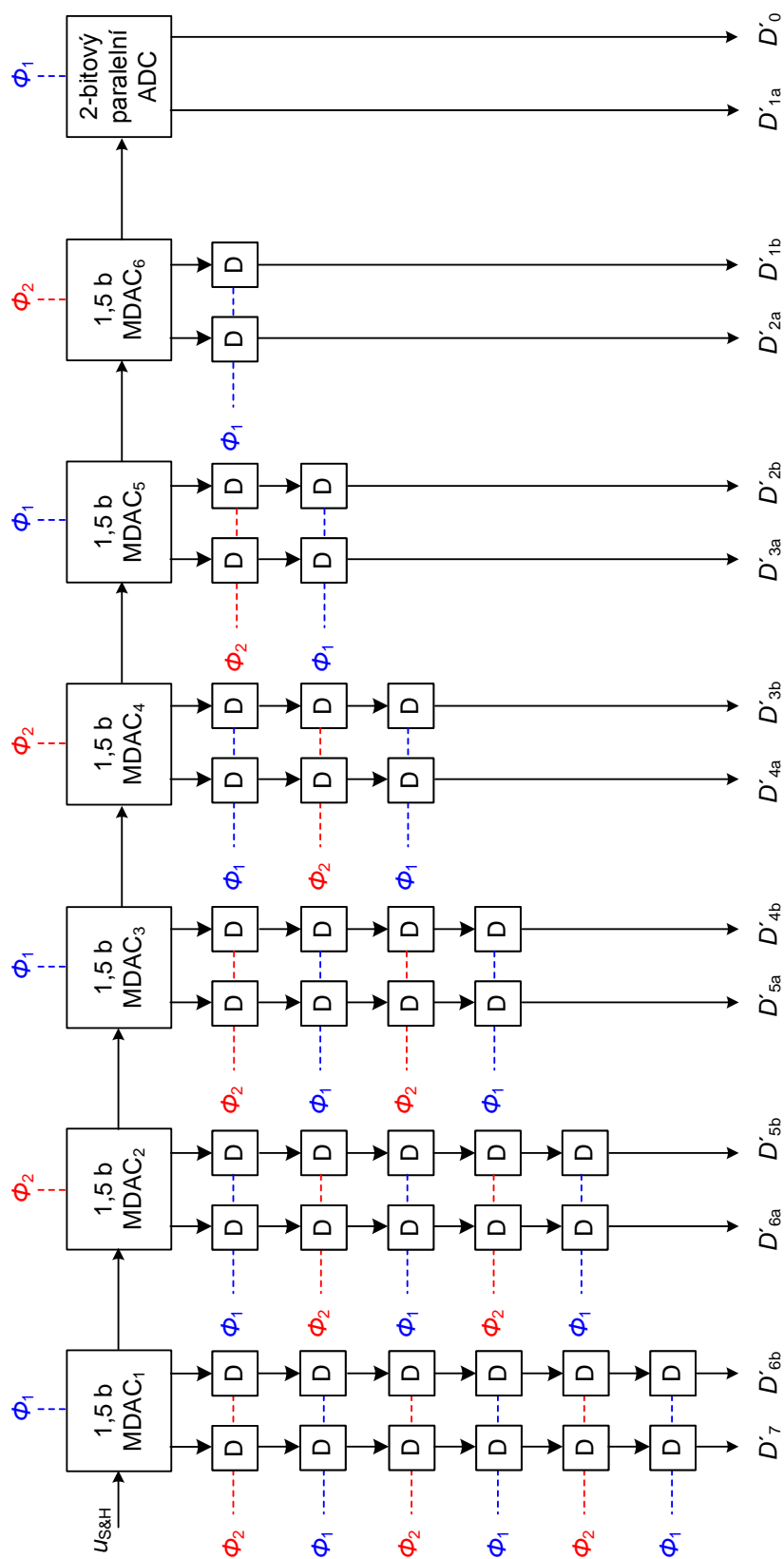


Obr. 46: Realizace D klopného obvodu



Obr. 47: Funkce D klopného obvodu jako posuvného registru

Na obr. 46. je ukázáno zapojení D klopného obvodu, který je využit v bloku časové korekce jako prvek, který zpozdí signál na výstupu oproti vstupnímu o polovinu periody řídicího hodinového signálu (obr. 47).



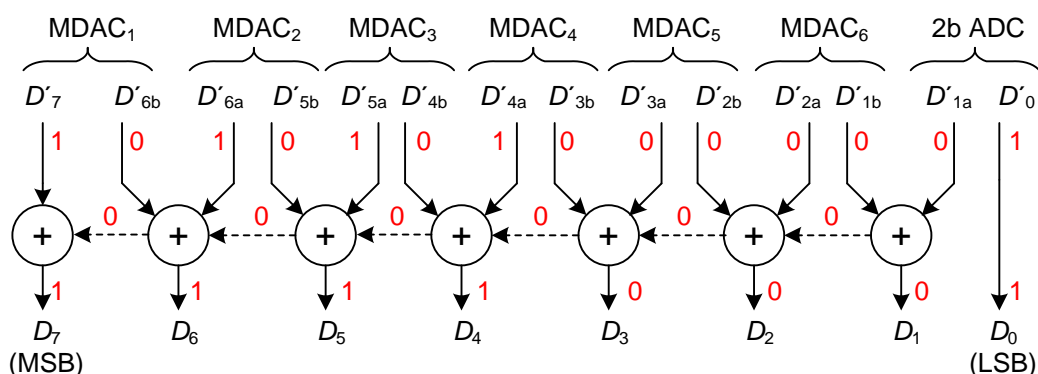
Obr. 48: Časování obvodů

Na obr. 48 je znázorněno časování jednotlivých stupňů řetězového převodníku. Z funkce popsaných v kapitole 5.1 a 6.1 je zřejmé, že každý MDAC pracuje ve dvou fázích (komparátor, rozdílový člen). Při Φ_1 je zpracováván vstupní signál (nabíjení kapacitorů na odpovídající úroveň apod.) a na výstupu se objeví odpovídající stav až s příchodem Φ_2 . Následující stupeň pak pracuje s opačnou fází hodinového signálu, tedy Φ_1 a Φ_2 jsou navzájem vyměněny. U posledního stupně, 2-bitového paralelního ADC, je zpoždění dáno pouze komparátorem, to však nemění skutečnost, že je vzorkován s opačnou fází než předchozí stupeň.

Výstupní signál pak tedy bude zpožděn o $3,5 \Phi$. K celkovému zpoždění je však třeba ještě připočítat i zpoždění bloku korekce a vstupní S&H.

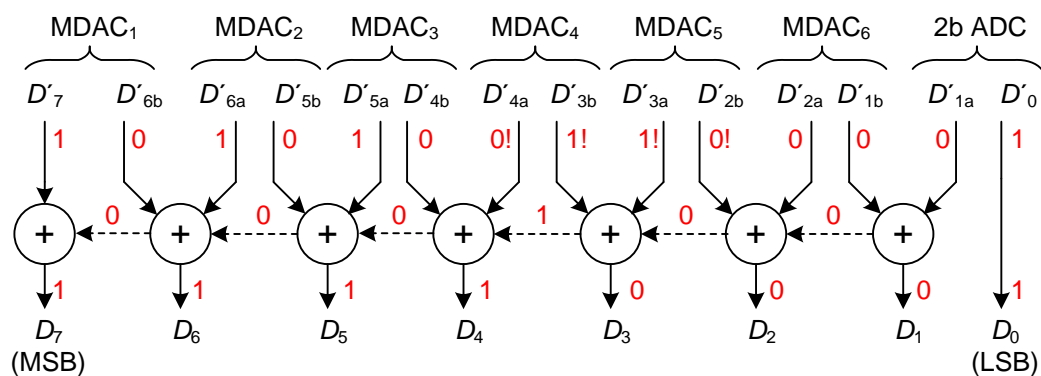
7.2 Blok digitální korekce – RSD korekce

Z bloku časové korekce, zmíněného v předchozí kapitole, vychází již 14 časově synchronizovaných signálů. Posledním blokem, který je před konečným výstupem řetězového převodníku AD, je blok, jenž má za úkol sečíst vždy dva odpovídající signály (viz. kap. 4.2). Princip zpracování signálů z výstupů všech bloků včetně 2-bitového paralelního převodníku je ukázán na obr. 49.



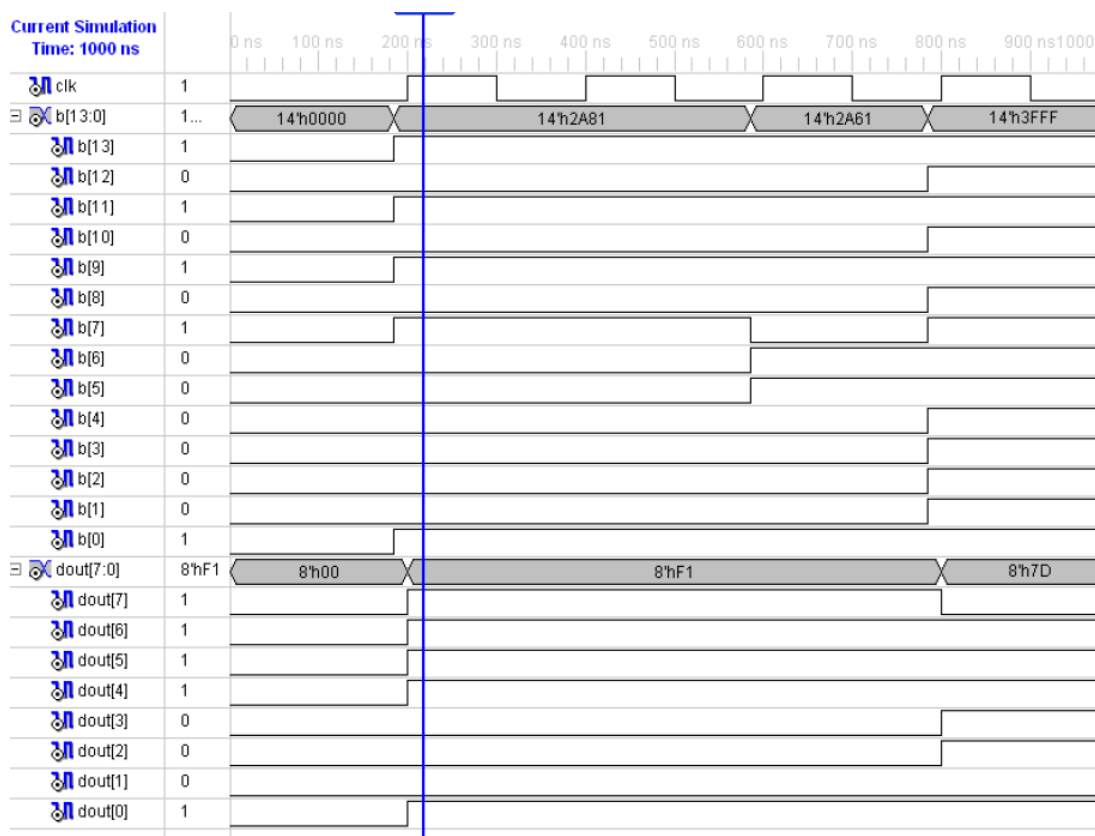
Obr. 49: Princip RSD korekce

Pro úplnost je níže (obr. 50) ukázán i princip RSD korekce s offsetem komparátoru. V důsledku offsetu komparátoru v MDAC₄ (namísto kódu 10 chybně kód 01) je ovlivněn i výstup sub-ADC v bloku MDAC₅ (namísto kódu 00 kód 10 způsobený chybou v předchozím bloku). Tato chyba je však eliminována digitální korekcí, kdy dochází k součtu hodnot 1 a 1, což dává hodnotu 0 a hodnotu 1 jako přetečení do součtu $D'_{4b} + D'_{4a}$.



Obr. 50: Princip RSD korekce s vlivem offsetu komparátoru

Blok digitální korekce byl navržen v jazyku VHDL. Výsledky simulace ukazují obr. 51.



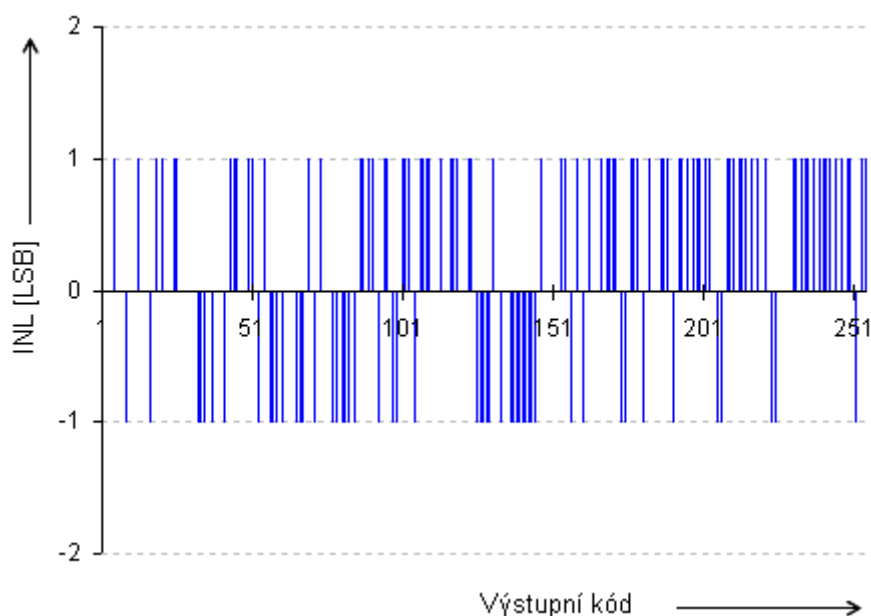
Obr. 51: Simulace RSD korekce v programu Xilinx

Nejvýše se nachází hodinový signál, pod nímž je 14 bitů ($b[13]$ až $b[0]$), které vychází z bloku časové korekce, tedy ekvivalence signálů D'_{xx} z obr. 49 a obr. 50. Nejnižší jsou pak signály označované jak $dout[7]$ až $dout[0]$, tedy výstupy. Do času 200 ns jsou všechny vstupy i výstupy ve stavu 0. Poté je na vstup přiveden signál 10101010000001, tedy signál, který je jako příklad funkce RSD korekce uveden na obr. 49. Výstupní kombinace pak odpovídá stavu

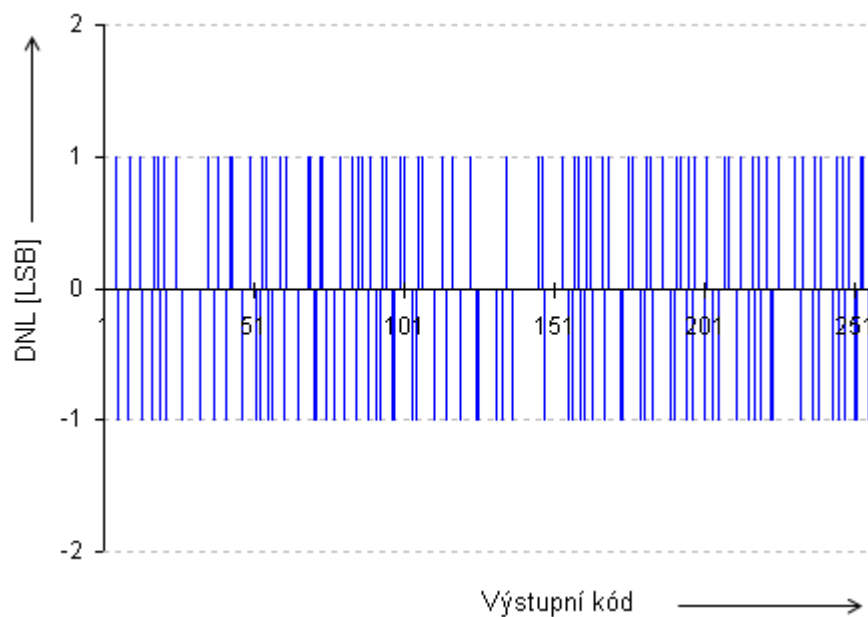
11110001, což je ve srovnání s teoretickým výpočtem správný stav. V čase 600 ns změní některé bity vstupního signálu hodnotu tak, jak je uvedeno na obr. 50 (hodnoty s vykřičníkem). Podle teoretických předpokladů by se z principu funkce neměl stav obvodu měnit, čemuž i odpovídají výsledky simulace. Poslední testovaný stav je stav, který nemůže na výstupu 1,5 bitového MDAC nastat, je však uveden kvůli ověření správnosti - především operace přetečení. Na vstupu v čase 800 ns je tedy stav 1111111111111, čemuž správně odpovídá na výstupu hodnota 01111101. Zdrojový text v jazyce VHDL je uveden v příloze.

7.3 Simulace řetězového převodníku

Tato kapitola se věnuje simulaci celého řetězového převodníku AD, je zde ověřena jeho správná činnost a vyhodnoceny jeho statické parametry jako *INL* a *DNL*. Převodník má rozlišení 8 bitů, což je nízké rozlišení, avšak pro dané cíle práce plně dostačující. Hodnota 1 LSB = 11,7 mV. Na obr. 52 jsou hodnoty *INL* a na obr. 53 hodnoty *DNL* pro simulovaný převodník AD.



Obr. 52: Hodnoty *INL* pro simulovaný převodník



Obr. 53: Hodnoty *DNL* pro simulovaný převodník

Hodnoty *INL* i *DNL* se pohybují v rozsahu ± 1 LSB. Efektivní počet bitů (*ENOB*) tohoto převodníku je 7 bitů.

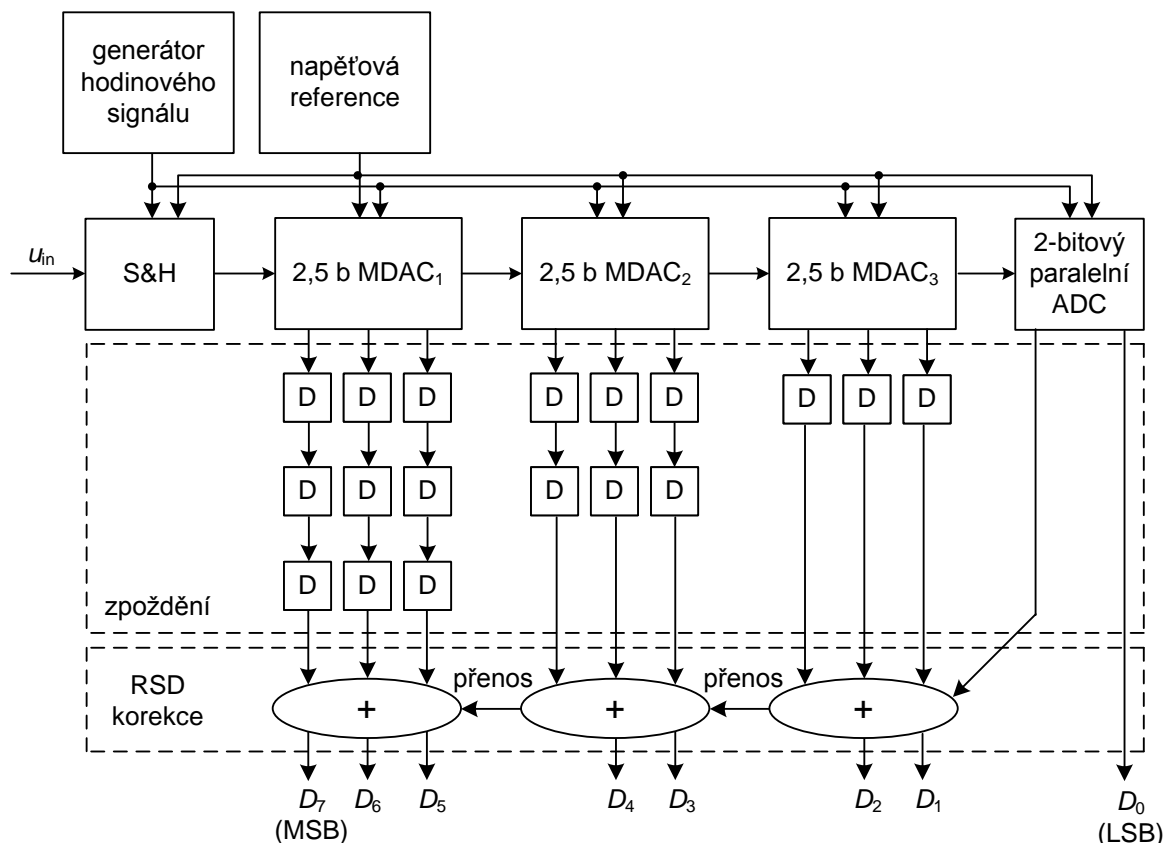
Tab. 7.1: Parametry navrženého převodníku AD

parametr	hodnota
rozlišení	8 bitů
vzorkovací kmitočet	5 MHz
napájecí napětí	5 V
spotřeba	43 mW
<i>INL</i>	± 1 LSB
<i>DNL</i>	± 1 LSB

Na závěr jsou shrnuty parametry navrženého převodníku v tab. 7.1. V příloze 5 na obr. P 10 je ukázán výstup pro vstupní signál s hodnotou 3,62 V. Chyba při tomto vstupním napětí je 0 LSB, a tedy výstup odpovídá správné hodnotě 11011111 (224).

8 Řetězový převodník AD s 2,5 bitovými MDAC

V předchozí kapitole byla popsána realizace bloků časové a digitální korekce v řetězovém převodníku složeného z 1,5 bitových MDAC a byla simulována a vyhodnocena funkce celého převodníku. Tato kapitola je obdobou předchozí, je stejně rozvržena, avšak zde bude realizován převodník složený z bloků MDAC s vyšším rozlišením 2,5 bitu. Rovněž se jedná o převodník s rozlišením 8 bitů, jehož základ tvoří 3 bloky MDAC a jeden blok paralelního ADC. Strukturu ukazuje obr. 54.

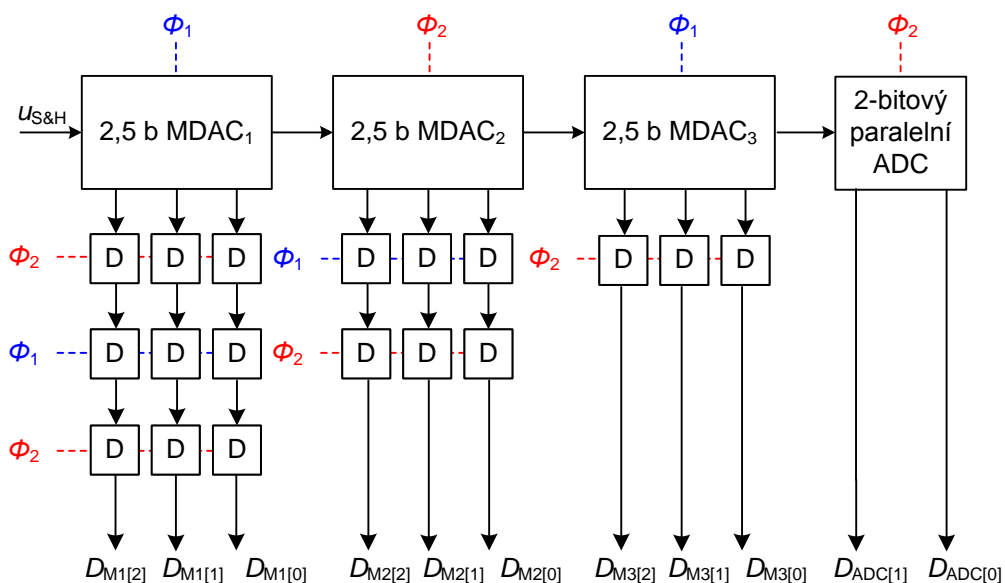


Obr. 54: Struktura převodníku AD s 2,5 bitovými MDAC

Stejně jako v předchozí kapitole 7 i zde se vyskytují mimo již probrané bloky D klopné obvody a digitální logika RSD. Detailní rozbor těchto částí včetně realizace je uveden v následujících podkapitolách.

8.1 Blok časové korekce a časování obvodů

Jak již bylo zmíněno, MDAC obsahuje obvody pracující s hodinovým signálem, dochází ke zpoždění výstupu. Realizace a požadavky na blok časové korekce jsou stejné jako u převodníku s 1,5 bitovými MDAC zmíněném v předchozí kapitole 7. Proto již zde nejsou podrobně popisovány. Časování jednotlivých obvodů ukazuje obr. 55.

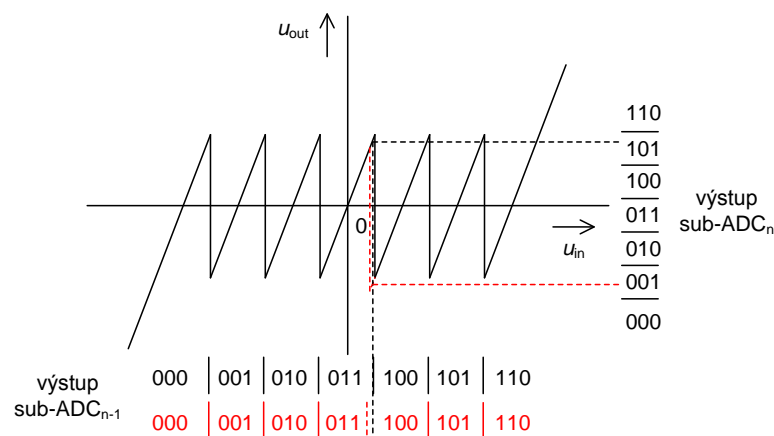


Obr. 55: Časování obvodů

Výstupní signál bude zpožděn o 2Φ . K celkovému zpoždění je však třeba ještě připočítat i zpoždění bloku korekce a vstupní S&H.

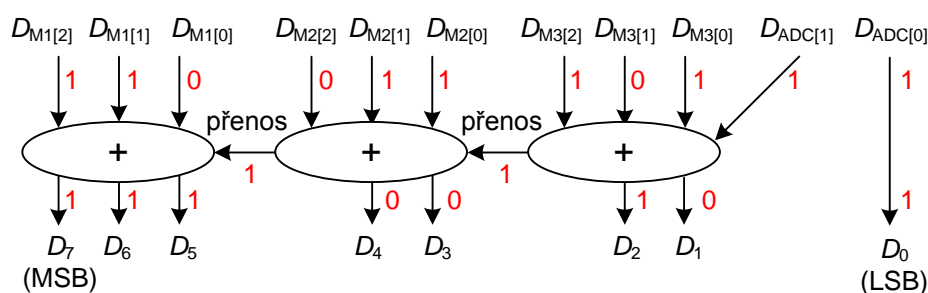
8.2 Blok digitální korekce – RSD korekce

Z bloku časové korekce vychází 11 časově synchronizovaných signálů a vstupují do bloku korekce. V kapitole 4.2 bylo ukázáno, jak může způsobit offset komparátoru posunutí převodní charakteristiky a následný chybný výsledek operace u 1,5 bitového MDAC. U převodníku složeného z 2,5 bitového MDAC je tato situace obdobná. Příklad je uveden na obr. 56. Při nulovém offsetu komparátoru v sub-ADC u MDAC_{n-1} je na výstupu tohoto bloku hodnota 011. Po převedení zpět do odpovídajícího analogového tvaru je tento analogový signál odečten od vstupní hodnoty $u_{\text{resx-1}}$ a odeslán do dalšího stupně. Na jeho výstupu pak bude hodnota 101. Pokud má některý z komparátorů hysterezi, může průběh zpracování stejného signálu (výše popsaného), vypadat jako např. červeně vyznačený průběh na obr. 56. Offset v komparátoru v sub-ADC u MDAC_{n-1} způsobí, že na výstupu je hodnota 100. Tento signál je převeden na nesprávnou analogovou hodnotu a ta je odečtena od vstupního signálu $u_{\text{resx-1}}$. V dalším stupni sub-ADC převede tento signál na 001.



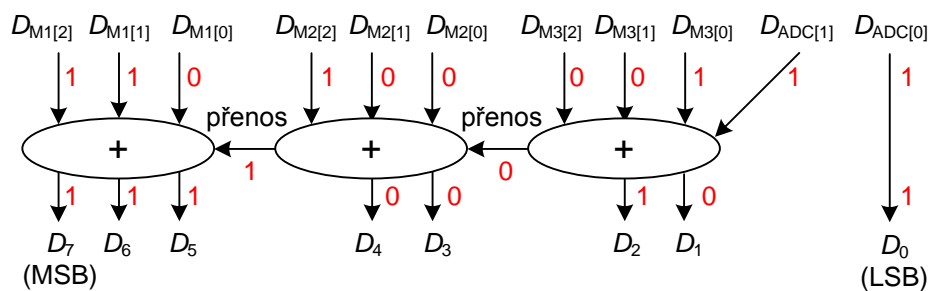
Obr. 56: Převodní charakteristika 2,5 bitového MDAC s vyznačenou chybou komparátoru

Chyba offsetu komparátoru tedy může způsobit nezanedbatelnou chybu v celém převodu. Obr. 57 ukazuje princip zpracování RSD korekce na případu, kdy nedojde k chybě offsetu komparátoru zmíněného výše.



Obr. 57: Princip RSD korekce

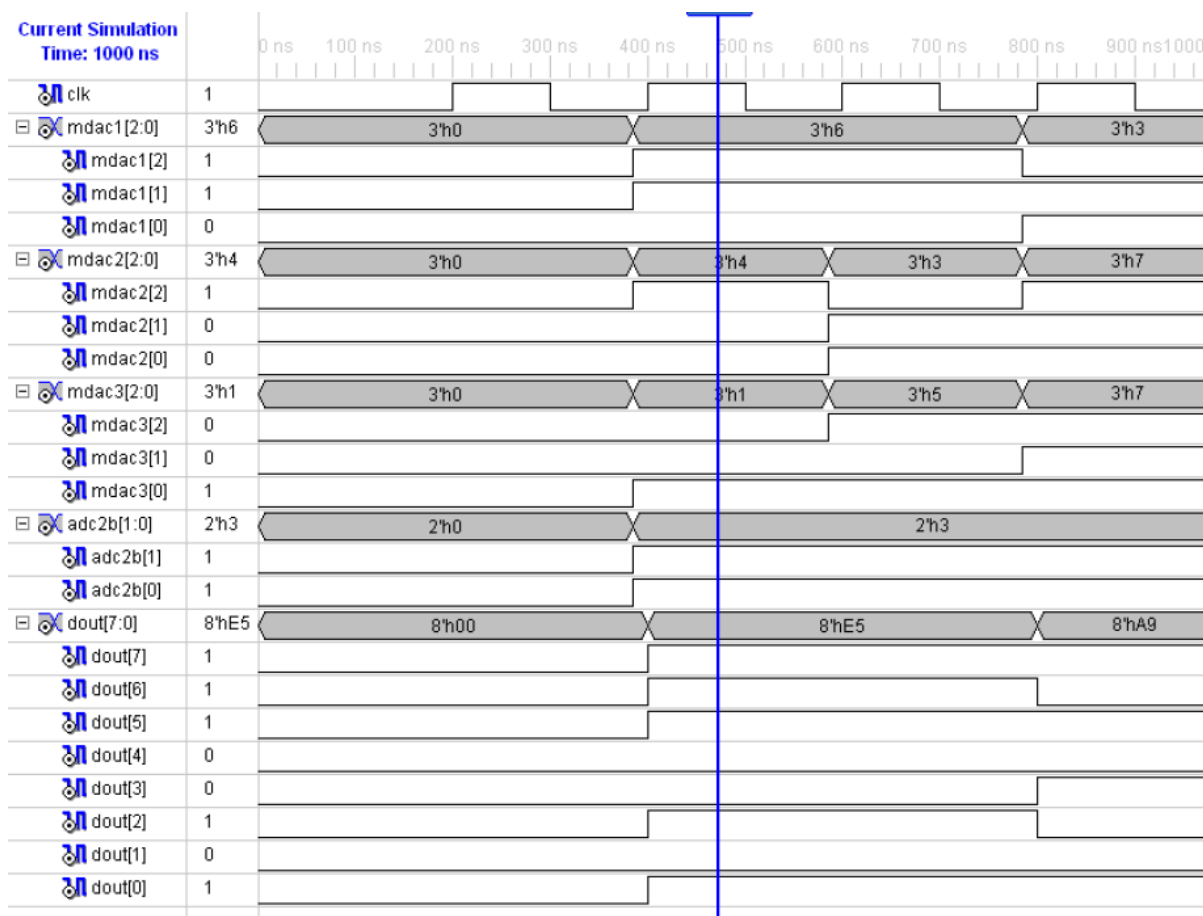
Z jednotlivých MDAC a 2-bitového paralelního převodníku vychází celkově 11 signálů. Signály $D_{M2[X]}$ a $D_{M3[X]}$ jsou již zmíněné kombinace. Na výstupu 2 bitového ADC je hodnota 11. MSB tohoto převodníku je přičítán k výstupu MDAC₃ na němž je po tomto přičtení hodnota 110. Dva nejnižší bity pak jdou již na konečný výstup a MSB ($D_{M3[2]}$) je pak přičten k výstupu MDAC₂ atd.



Obr. 58: Princip RSD korekce s vlivem offsetu komparátoru

Pro úplnost na obr. 58 je ukázáno sčítání bitů pro chybový stav způsobený offsetem komparátoru. Výsledek je díky korekci správný.

Výsledky simulace bloku korekce navrženého v jazyce VHDL jsou na obr. 59.



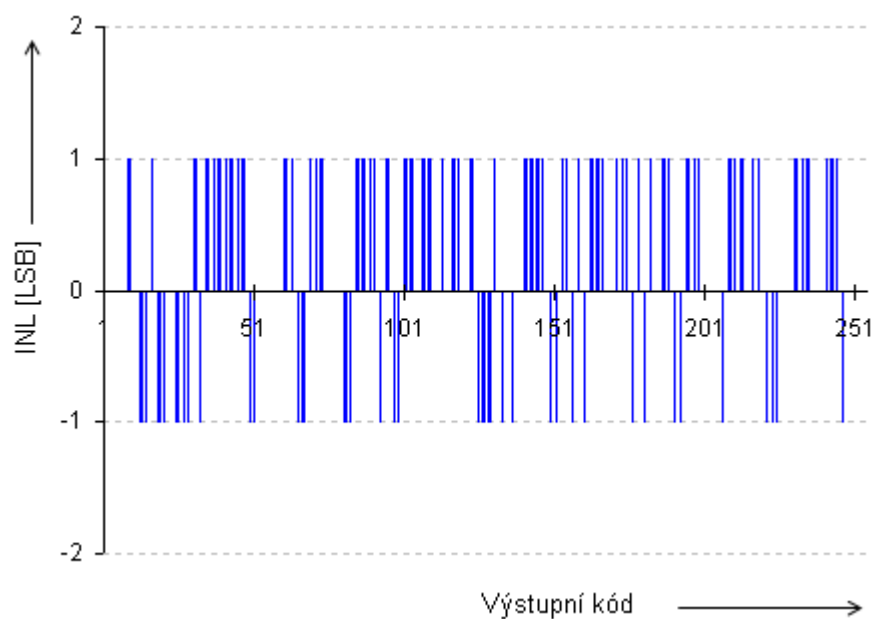
Obr. 59: Simulace RSD korekce v programu Xilinx

Simulace rovněž simuluje dva stavy uvedené výše. Nejdříve do bloku časové korekce přichází v čase přibližně 400 ns kombinace $(110)_{MDAC1}$, $(100)_{MDAC2}$, $(001)_{MDAC1}$ a $(11)_{2bADC}$. S příchodem hodinového signálu se zapíše na odpovídající výstup (11100101) . Poté se přibližně v čase 600 ns změní vstupní kombinace na $(110)_{MDAC1}$, $(011)_{MDAC2}$, $(101)_{MDAC1}$ a $(11)_{2bADC}$. Výstup setrvá na stejné hodnotě. Pro ověření správnosti je nakonec přivedena kombinace, která teoreticky nemůže nastat a to ta, že na vstupu jsou mimo MSB jen hodnoty 1. Výstup odpovídá teoretickým předpokladům, tedy navržená korekce pracuje správně. Zdrojový text v jazyce VHDL je uveden v příloze.

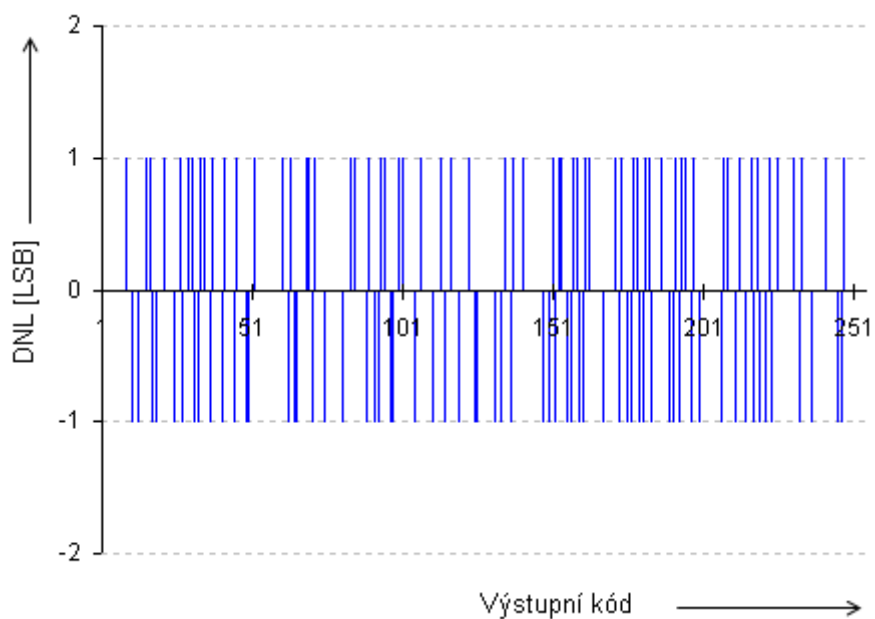
8.3 Simulace řetězového převodníku

Stejně jako v kapitole 7.3 i tato se bude věnovat simulaci celého převodníku a budou vyhodnoceny jeho statické parametry jako *INL* a *DNL*. Převodník má rozlišení 8 bitů.

Hodnota 1 LSB = 11,7 mV. Na obr. 60 jsou hodnoty *INL* a na obr. 61 hodnoty *DNL* pro simulovaný převodník AD.



Obr. 60: Hodnoty *INL* pro simulovaný převodník



Obr. 61: Hodnoty *DNL* pro simulovaný převodník

Hodnoty *INL* i *DNL* se pohybují v rozsahu ± 1 LSB. Efektivní počet bitů (*ENOB*) tohoto převodníku je 7 bitů.

Tab. 8.1: Parametry navrženého převodníku AD

parametr	hodnota
rozlišení	8 bitů
vzorkovací kmitočet	5 MHz
napájecí napětí	5 V
spotřeba	40 mW
<i>INL</i>	± 1 LSB
<i>DNL</i>	± 1 LSB

Na závěr jsou shrnuty parametry navrženého převodníku v tab. 8.1.

9 Vliv rozlišení MDAC na bloky řetězového převodníku AD

V předchozích dvou kapitolách byly navrženy dva řetězové převodníky o stejném rozlišení lišící se rozlišením základního bloku – MDAC. Oba tyto převodníky byly realizovány na tranzistorové úrovni v technologii CMOS 0,7 μm . Mnohé části jako je např. operační zesilovač, komparátor, napěťová reference atd. mají shodné. Avšak díky rozdílnému rozlišení MDAC jsou na ně kladeny jiné požadavky. Některé části jsou naopak jiné – např. řešení samotných podobvodů MDAC, bloky časové a digitální korekce, atd.

Tato kapitola postupně porovnává rozdílná řešení jednotlivých částí řetězového převodníku popř. rozdílné požadavky na danou část.

9.1 Společné části obou řetězových převodníků AD

Nejdříve jsou zmíněny části, které jsou pro oba převodníky shodné. Jsou realizovány stejným zapojením, ale mohou být na ně kladeny rozdílné požadavky.

9.1.1 Vzorkovací obvod

Popis a návrh vzorkovacího obvodu byl probrán v kapitole 5.5. U obou převodníků plní stejnou funkci, a to dosažení vysokého kmitočtu vstupního signálu, aniž by docházelo k chybám. Je umístěn na vstupu celého převodníku – u obou převodníků je na vstupu i výstupu signál se stejnými vlastnostmi, a tedy i tento obvod je pro oba případy naprosto stejný.

9.1.2 Generátor řídicího hodinového signálu

Další důležitou částí je generátor nepřekrývajících se hodinových signálů, jenž je uveden v kapitole 5.4. Oba převodníky používají stejný vzorkovací kmitočet (5 MHz) a tedy výstupní signály jsou stejné. Rozdíl je však ve výstupním invertoru. Ten musí být navržen tak, aby jeho maximální výstupní proud byl dostatečně veliký s ohledem na zatížení parazitními kapacitami spínače MOS. Záleží tedy na počtu spínačů a jejich velikostí v celém převodníku. Více spínačů obsahuje převodník složený z 2,5 bitových MDAC. Kromě toho jsou spínače v něm použité větší. Je to dáno především rozdílovým členem, v němž se vyskytuje více kapacitorů, a tedy je potřeba přenášet větší náboj.

Zmíněný rozdíl však nijak zvlášť neovlivňuje parametry výsledného převodníku, neboť MOS tranzistory ve výstupních invertorech jsou větší jen nepatrně a jejich realizace na čipu není problém.

9.1.3 Napěťová reference

Každý převodník AD i DA potřebuje referenční napětí, které není závislé na kolísajícím napětí a na změně teploty. Použitá reference je zmíněna v kapitole 5.3. Jedná se o referenční zdroj řízený prahovým napětím tranzistoru – tzv. „bootstrapped“.

U obou převodníků jsou v blocích sub-ADC a sub-DAC použity reference 1,5 V, 2,5 V (V_{CM}) a 3,5 V. Na výstupu obvodu napěťové reference je umístěn OZ jako sledovač z důvodu zachování napěťové úrovně při zatížení. Zde je třeba, stejně jako v případě koncového invertoru u generátoru řídicího hodinového signálu, brát v úvahu zatížení reference a podle toho přizpůsobit výstupní buffer. V obvodu sub-ADC jsou reference připojeny na napěťový dělič, složený z rezistorové sítě, zajišťující referenční napětí pro komparátory. V obvodu sub-DAC jsou pak použity jako reference, na něž se nabíjejí kapacitory v rozdílovém členu. Zde je proudově více zatížená reference v případě převodníku s 2,5 bitovými MDAC, která nabíjí vyšší celkovou kapacitu. Opět však tento rozdíl není nijak podstatný.

9.1.4 Paralelní ADC s rozlišením 2 bitů

Posledním společným blokem je 2 bitový paralelní ADC, probraný v kapitole 5.6. Je umístěn v obou případech jako poslední blok za řetězcem s MDAC. Vstupní residuum z předchozích MDAC má stejné vlastnosti, a tedy tento obvod není nijak rozdílný.

9.2 Rozdílné části řetězových převodníků

V této kapitole již jsou popsány části, u nichž bylo potřeba realizaci přizpůsobit rozlišení MDAC. Ty mají nejenom rozdílné řešení, ale zároveň lze u nich sledovat rozdílné parametry. Jedná se o bloky korekce.

9.2.1 Blok časové korekce

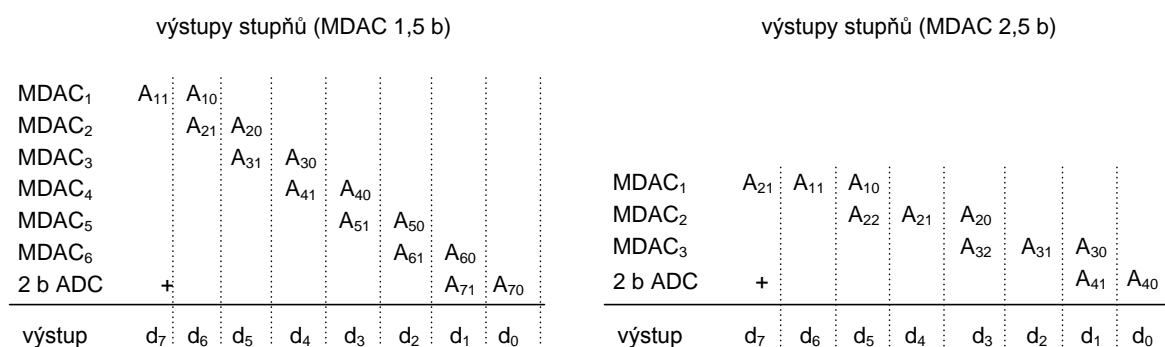
Blok časové korekce byl popsán v kapitole 7.1, resp. 8.1. Je realizován pomocí posuvného registru, který je složen z klopných obvodů typu D. Má za úkol zpoždit výstupy všech MDAC tak, aby přicházely synchronizovaně do obvodu digitální korekce. Zpoždění každého MDAC je úměrné polovině periody řídicího hodinového signálu. Tedy je třeba zpoždit výstupní signál každého MDAC na čas, kdy se signál dostane až na výstup paralelního ADC.

U 8-bitového převodníku s 1,5 bitovými MDAC je nutné, aby těchto MDAC bylo za sebou 6 – poslední 2 bity řeší 2-bitový paralelní ADC. Zpoždění signálu je tedy dáno šesti MDAC a paralelním ADC a činí $3,5 \Phi$, kdy Φ je perioda řídicího hodinového signálu o velikosti 200 ns. Z toho vyplývá, že celkové zpoždění $3,5 \Phi$ je rovno 700 ns.

U 8-bitového převodníku s 2,5 bitovými MDAC je nutno, aby byly za sebou 3 MDAC – poslední 2 bity řeší rovněž 2-bitový paralelní ADC. Zpoždění signálu je tedy dáno pouze třemi MDAC a paralelním ADC a činí 2Φ , což se rovná 400 ns.

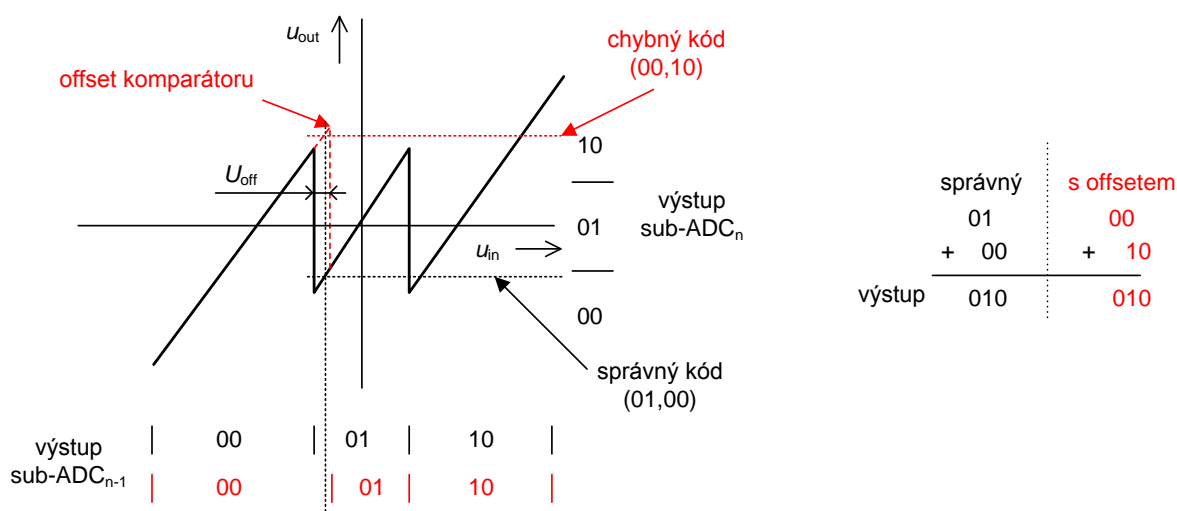
9.2.2 Blok digitální korekce

Posledním blokem před výstupem signálu je blok digitální korekce (RSD). Z každého MDAC vychází „0,5 bitu“ právě z důvodu, aby tento bit mohl sloužit jako opravný a je třeba jej zpracovat. Princip sčítání u obou převodníků je ukázán na obr. 62.

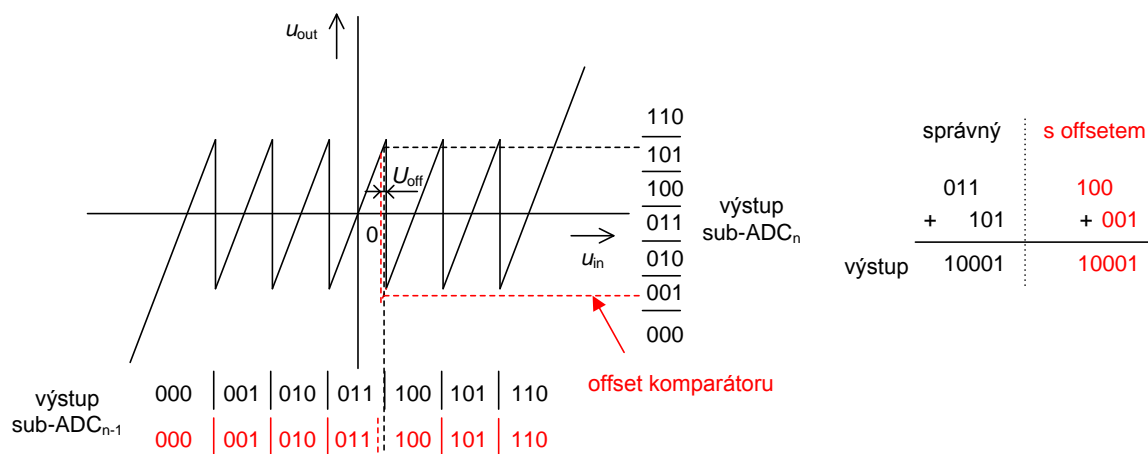


Obr. 62: Princip sčítání v bloku digitální korekce

Na obr. 63, resp. obr. 64 je pak ukázána převodní charakteristika 1,5 bitového MDAC, resp. 2,5 bitového MDAC s vyznačenou chybou offsetu komparátorů. Rozdíl ideálního a chybového napětí je označen jako U_{off} .



Obr. 63: Převodní charakteristika 1,5 bitového MDAC s chybou offsetu



Obr. 64: Převodní charakteristika 2,5 bitového MDAC s chybou offsetu

Na obr. 63 a obr. 64 je červeně ukázán stav, kdy dochází chybně, vlivem offsetu, k překlopení komparátoru při nižším vstupním napětí. Tuto chybu lze díky RSD korekci opravit, ale jen do určité velikosti U_{off} . Porovnání obr. 63 a obr. 64 ukazuje, že u převodníku s 1,5 bitovými MDAC je velikost možného U_{off} větší přibližně 2x. Zde je vidět výhoda 1,5 bitových MDAC.

9.3 Porovnání samotných MDAC

Výše byly rozebrány vlivy rozlišení MDAC na ostatní bloky řetězového převodníku. Největší rozdíl je však v řešení samotného bloku. O rozdílech pojednává následující kapitola. Je nezbytné si uvědomit v parametrech jako je např. spotřeba, že jedno 2,5 bitové MDAC řeší stejný počet bitů výstupního kódu jako 1,5 bitové MDAC.

9.3.1 Obvod sub-ADC a sub-DAC

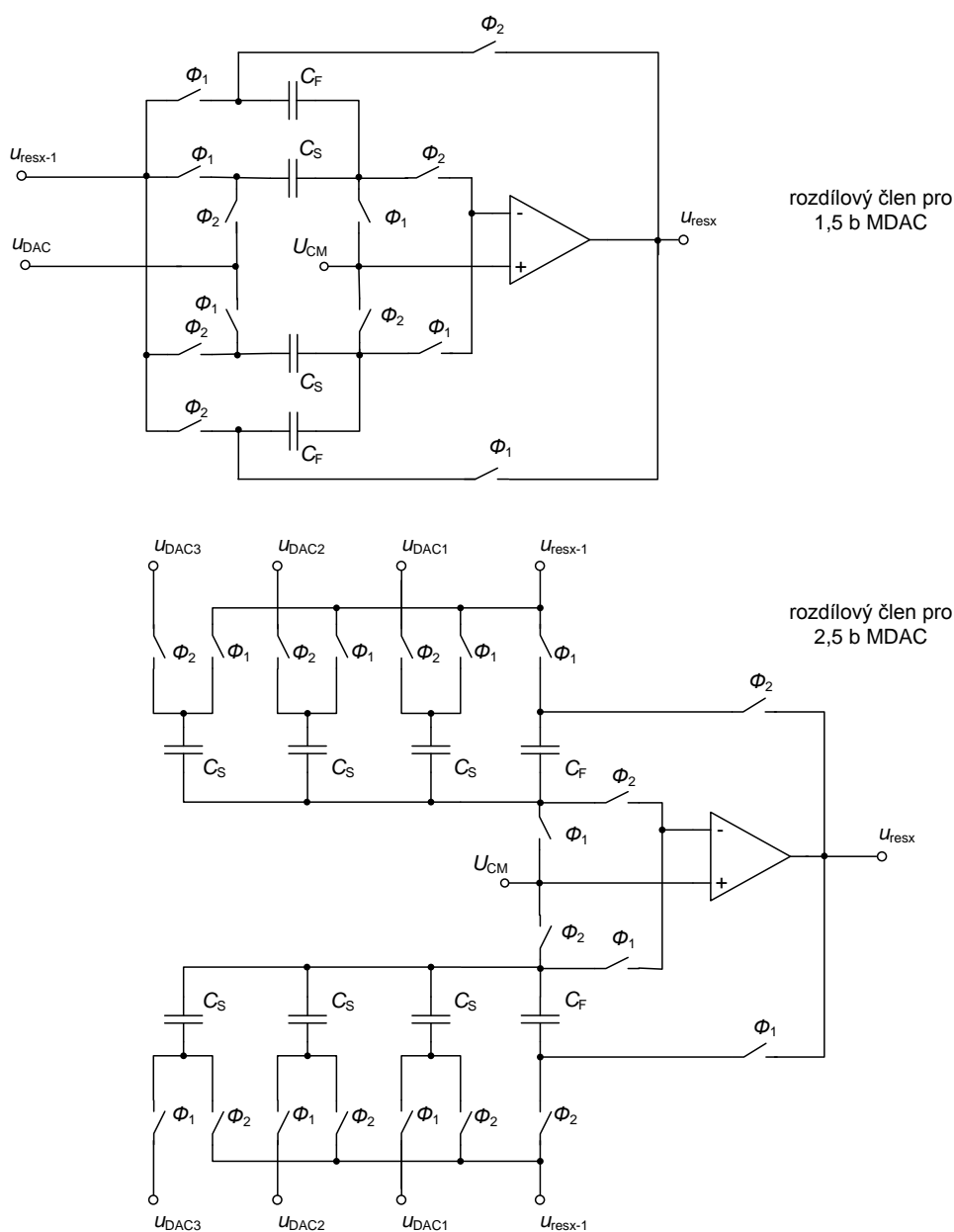
U obvodu sub-ADC je nejpatrnější rozdíl v počtu komparátorů. Zatímco struktura s 1,5 bitovým rozlišením obsahuje pouze 2 komparátory, struktura s 2,5 bitovými MDAC jich obsahuje 7. S vyšším počtem komparátorů souvisí vyšší požadavky na jejich offset a především lepší dodržení poměru rezistorů v odporové síti – tedy souběh. S počtem rezistorů souvisí plocha čipu, která je rovněž větší.

Obvod sub-DAC je v obou případech řešený multiplexerem složeným z MOS spínačů, které jsou připojeny na některou z napěťových referencí a přicházejí pak na vstup kapacitorů v rozdílovém členu. U 1,5 bitového MDAC je tento multiplexer pouze jeden a tvoří ho 4 tranzistory. U 2,5 bitového MDAC pak jsou tyto multiplexery již 3.

Celkově je struktura těchto obvodů v 2,5 bitovém MDAC složitější a největší jeho nevýhodou jsou vyšší nároky na offset komparátorů, neboť jejich korekční rozsah je nižší – viz kapitola 9.2.2.

9.3.2 Rozdílový člen

Z předchozích částí vyplývá, že nejpodstatnější rozdíly byly vidět v obvodu digitální korekce a v sub-ADC. Další část, kde se tento rozdíl výrazně projeví, je rozdílový člen. Rozdílové členy obou MDAC jsou ukázány na obr. 65.



Obr. 65: Rozdílové členy obou MDAC

Spínače jsou voleny co nejmenší kvůli parazitním kapacitám. Musí však být dostatečně velké, aby stihly nabít kapacity na ně připojené. Zesílení lze nastavit poměrem kapacitorů C_F a C_S viz. rov. (31) a rov. (34). Protože výstupní residuum je u 2,5 bitového MDAC „jemnější“ je třeba jej více zesílit (zesílení je přibližně 2^N , kde N je rozlišení MDAC). Velikost kapacitorů u 1,5 bitového MDAC je $C_F = 2$ pF a $C_S = 5,5$ pF ($C_{\text{celk}} = 15$ pF) u 2,5 bitového MDAC pak $C_F = 2$ pF a $C_S = 4$ pF ($C_{\text{celk}} = 28$ pF). Protože kapacitor zabírá velkou část čipu, je celková kapacita důležitý parametr. Zde je však rozdíl pouze 2 pF, při porovnání 2x1,5 bitový MDAC a 1x2,5 bitový MDAC.

Výrazný vliv má fakt, že u 2,5 bitového MDAC je zesílení 2x větší, a tedy je snížena šířka pásma zesilovače a jeho zesílení. Je tedy nutno použít OZ s větší šířkou pásma. V OZ je potom potřeba použít větší proudy, čímž roste spotřeba – viz kapitola 5.2.

10 Závěr

Tato diplomová práce se zabývá vlivem rozlišení základního bloku – tzv. MDAC na ostatní bloky řetězového převodníku. V návrhovém prostředí CADENCE, v technologii CMOS 0,7 μm , byly navrženy dva řetězové převodníky. První z nich s rozlišením MDAC 1,5 bitu a druhý s 2,5 bitu.

Nejdříve byly v práci navrženy základní obvody, které se nacházejí v každém z uvedených převodníků. Jsou jimi OZ, komparátor a napěťová reference. OZ se nachází v obvodech rozdílového členu a ve vzorkovacím obvodu. Protože spotřebovává velkou část energie, byl návrh zaměřen hlavně na co nejnížší spotřebu ($< 5 \text{ mW}$) a zároveň byla požadována vysoká rychlost ($\geq 20 \text{ MHz}$). Oba tyto parametry se podařilo splnit a jsou shrnuty v tabulce 5.3. Komparátor a napěťová reference jsou popsány v kapitolách 5.1 a 5.3.

Kapitola 5, zabývající se návrhem základních stavebních bloků, pokračuje návrhem vzorkovacího obvodu, který se nachází na vstupu převodníku. Protože je využito při návrhu metody spínaných kapacitorů, bylo potřeba navrhnout rovněž generátor řídicích hodinových signálů. ten je uveden v kapitole 5.1. Poslední částí je 2 bitový paralelní ADC, který se nachází na konci převodníku.

V kapitole 6 je přistoupeno k návrhu samotných MDAC. Nejdříve je navržena struktura s rozlišením 1,5 bitu. Obvod sub-ADC se skládá ze dvou komparátorů. Jejich výstup přímo adresuje jeden ze vstupů multiplexeru (sub-DAC), jímž jsou referenční hodnoty napětí 1,5 V, 2,5 V a 3,5 V. Výstup komparátorů je rovněž přiveden na kodér, skládající se z dvou členů NAND. Ten slouží pro převedení do požadovaného výstupního kódu, jenž odchází do bloku časové a poté digitální korekce. Realizace rozdílového členu, který zároveň residuum zesiluje, ukazuje obr. 38. Na obr. 39 jsou pak výstupní signály 1,5 bitového MDAC. Celková spotřeba je 3,2 mW.

U 2,5 bitového MDAC, uvedeného v kapitole 6.2, je realizace obdobná 1,5 bitovému MDAC. Obvod sub-ADC se skládá z šesti komparátorů, které adresují tři multiplexeru, jejichž výstupy jsou v rozdílovém členu sečteny. Realizace kodéru je složitější, než tomu bylo u předchozího MDAC (viz. obr. 41). Rozdílový člen je pak ukázán na obr. 43. Celková spotřeba je 6 mW.

V dalších dvou kapitolách jsou dokončeny návrhy obou řetězových převodníků. V kapitole 7 je to převodník AD s rozlišením MDAC 1,5 bitu a v kapitole 8 s rozlišením MDAC 2,5 bitu. Blokové schéma je na obr. 45 (resp. obr. 54). Další část kapitoly se věnuje především bloků korekce. Časová korekce je realizována pomocí D-klopných obvodů.

O digitální korekci pojednává kapitola 7.2 (resp. 8.2) a k jejímu návrhu byl použit jazyk VHDL. U obou převodníků bylo změřeno *INL* i *DNL* v rozsahu ± 1 LSB.

Kapitola 9 se věnuje samotnému problému práce, a to vlivu rozlišení MDAC na ostatní bloky. Jsou zde postupně rozebrány jednotlivé bloky, které pak ukazují na výhody a nevýhody dané struktury. Největší rozdíly lze hledat v samotném MDAC a to v obvodu sub-ADC, se kterým souvisí blok digitální korekce. Zatímco struktura s 1,5 bitovým rozlišením obsahuje pouze 2 komparátory, struktura s 2,5 bitovými MDAC jich obsahuje 7. S vyšším počtem komparátorů souvisí vyšší požadavky na jejich offset. Offset lze díky RSD korekci opravit, ale jen do určité velikosti U_{off} . Porovnání obr. 63 a obr. 64 je vidět, že u převodníku s 1,5 bitovými MDAC je velikost možného U_{off} větší přibližně 2x. Zde je vidět výhoda 1,5 bitových MDAC.

Výhodou požití 2,5 bitových MDAC je potřeba pouze poloviční počet stupňů, čímž souvisí celkové zpoždění výstupního signálu. U 8 bitového převodníku s 1,5 bitovými MDAC je nutné, aby těchto MDAC bylo za sebou 6 – poslední 2 bity řeší 2-bitový paralelní ADC. Zpoždění signálu je tedy dáno šesti MDAC a paralelním ADC a činí $3,5 \Phi$, kdy Φ je perioda řídicího hodinového signálu o velikosti 200 ns. Z toho vyplývá, že celkové zpoždění $3,5 \Phi$ je rovno 700 ns. U 8 bitového převodníku s 2,5 bitovými MDAC je nutno, aby byly za sebou 3 MDAC – poslední 2 bity řeší rovněž 2-bitový paralelní ADC. Zpoždění signálu je tedy dáno pouze třemi MDAC a paralelním ADC a činí 2Φ , což se rovná 400 ns.

Výhody a nevýhody použití jednotlivých struktur ukazuje tabulka 10.1.

Tab. 10.1: Shrnutí výhod a nevýhod navržených řetězových převodníků AD

AD s 1,5 bitovými MDAC	AD s 2,5 bitovými MDAC
<ul style="list-style-type: none"> + potřeba pouze dvou komparátorů bez nutnosti předzesílení, + dobrý korekční rozsah (RSD), + jednoduchá struktura obvodů sub-AD a sub-DA, + menší náchylnost na šum, - potřeba více stupňů v řetězovém převodníku, - větší zpoždění výstupního signálu. 	<ul style="list-style-type: none"> + potřeba polovičního počtu stupňů v řetězovém převodníku, + menší zpoždění výstupního signálu, - potřeba více komparátorů s vyšší přesností včetně předzesilovače, - potřeba operačního zesilovače s větší šířkou pásma -> vyšší spotřeba, - větší plocha čipu, - větší složitost obvodů sub-AD a sub-DA a tedy větší pravděpodobnost výskytu chyb.

Přínosem práce je objasnění důvodu, proč se v drtivé většině používá právě MDAC s rozlišením 1,5 bitu, a rovněž poskytuje přehled výhod a nevýhod použití každé struktury.

Části diplomové práce byly prezentovány na studentské konferenci EEICT 2008 a 2009.

11 Seznam použité literatury

- [1] HÁZE, J., VRBA, R., FUJCIK, L., SAJDL, O. *Teorie vzájemného převodu analogového a číslicového signálu*. Brno: Vysoké učené technické v Brně, 2006. s. 31 – 35, 44 - 45.
- [2] VRBA, R., LEGÁT, P., FUJCIK, L., HÁZE, J., KUČTA, R., MIKEL, B., SKOČDOPOLE, M. *Digitální obvody a mikroprocesory*. Brno: Vysoké učené technické v Brně, 2003. s. 171 - 199.
- [3] FERRIS, M., KANG, J. *A 10 bit 100MHz pipeline ADC*. University of Michigan, 598 design project, 2004.
- [4] National Semiconductor. *Data Converters* [online]. 2008 [cit. 2009-03-10]. Dostupný z WWW: <<http://www.national.com/analog/adc>>.
- [5] Analog Devices. *A/D Converters* [online]. 2008 [cit. 2009-03-10]. Dostupný z WWW: <<http://www.analog.com/en/analog-to-digital-converters/ad-converters/products/index.html>>.
- [6] UNBEHAUEN, R., CICHOCKI, A. *MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems – Analysis and Design*. Berlin: Springer-Verlag, 1989. 631 pages. ISBN 0-387-50599-7.
- [7] MINGLIANG, LIU. *Demystifying Switched-Capacitor Circuits*. Burlington : Newnes, 2006. ISBN 0-7506-7907-7. s. 7-13.
- [8] CHO, CHANG-HYUK. *Power optimized pipelined analog-to-digital converter design in deep sub-micron CMOS technology*. Atlanta, 2005. 150 s. Georgia Institute of Technology. Vedoucí dizertační práce Phillip E. Allen.
- [9] WALTARI, M. *Circuit techniques for low-voltage and high-speed A/D converters*. Helsinky: University of technology, Electronic circuit desing laboratory, Report 33, Espoo 2002, ISBN 1455-8440.
- [10] YUN, R. *Calibration of Pipelined AD-Converters*. Stockholm: Royal Institute of Technology, 2006.
- [11] GINETTI, P., G., A., Jespers, A. A CMOS 13-b vycliv RSD A/D converter, *IEEE J. Solid-State Circuits*, vol. 27. s. 957-965, July 1992.
- [12] LEWIS, S., H., FETTERMAN, H., S., GROSS, G., F., RAMACHANDRAN, R., VISWANATHAN, T., R. A 10-b 20-Msample/s Analog-to-digital Converter, *IEEE J. Solid-State Circuits*, vol. 27. p. 351-358, March 1992.

- [13] GRACE, C.,R., HURST, P.,J., LEWIS, S.,H. A 12b 80MS/s Pipelined ADC with Bootstrapped Digital Calibration. *Solid-State Circuits, IEEE Journal*. 2005, no. 40, s. 1038-1046.
- [14] SONKUSALE, S., VAN DER SPIEGEL, J. Mixed-signal calibration of pipelined analog-digital converters. In *SOC Conference, 2003. Proceedings. IEEE International [Systems-on-Chip]*. [s.l.] : [s.n.], 2003. s. 327-330. ISBN 0-7803-8182-3.
- [15] ALLEN, P., E., HOLBERG, D., R. *CMOS analog circuit design, second edition*. Oxford University Press, New York 2002, ISBN 0-19-511644-5.
- [16] SEDRA, S.,A., SMITH, K., C. *Microelektronics Circuits, fifth edition*. Oxford University Press, New York 2004, s. 871-883, ISBN 0-19-51422-7.
- [17] CLINE, D.W. *Noise, speed and power trade-offs in pipelined analog to digital converters*. EECS Department, University of California, Berkeley, 1995, s. 342 – 346.
- [18] GRAY, P., R., HURST, P., J., LEWIS, S., H., MEYER, R.,G. *Analysis and design of analog integrated circuits, fourth edition*. John Wiley & sons, inc., New York 2001, ISBN 0-471-32168-0.

12 Seznam použitých zkratk a symbolů

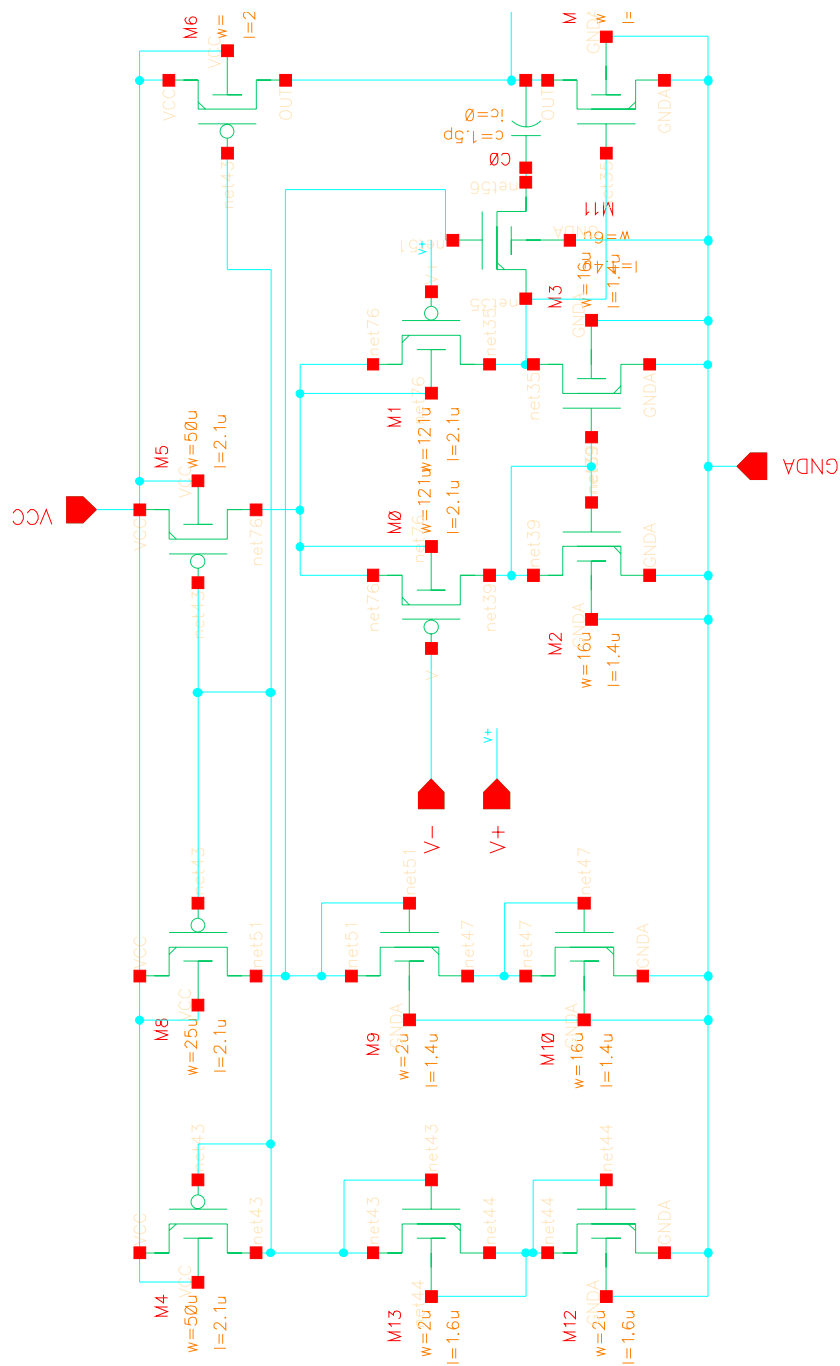
ADC	analogově – číslicový převodník
A_U	napět'ové zesílení
DAC	číslicově – analogový převodník
DNL	diferenciální nelinearita
$ENOB$	efektivní počet bitů
GBW	šířka pásma jednotkového zisku
INL	integrální nelinearita
K'_N	transkonduktanční parametr tranzistoru NMOS
K'_P	transkonduktanční parametr tranzistoru PMOS
L	délka kanálu tranzistoru MOS
Latch	sekvenční bistabilní klopný obvod
MDAC	násobící převodník
OZ	operační zesilovač
RS KO	klopný obvod typu RS
S&H	vzorkování
SC	spínané kapacitory
SR	rychlost přeběhu
sub-ADC	analogově-číslicový převodník v MDAC
sub-DAC	číslicově-analogový převodník v MDAC
U_{CC}	napájecí napětí
U_{CM}	souhlasné napětí o hodnotě 2,5 V
u_{DAC}	napětí na výstupu sub-DAC
U_{off}	napět'ový offset OZ
U_r	napětí neobsahující složku U_{CM}
$U_{REF(1V)}$	referenční napětí o hodnotě 1 V
$U_{REF(4V)}$	referenční napětí o hodnotě 4 V

u_{resx}	výstupní napětí MDAC
$u_{\text{resx-1}}$	vstupní napětí MDAC
U_{TH}	prahové napětí tranzistoru MOS
W	šířka kanálu tranzistoru MOS

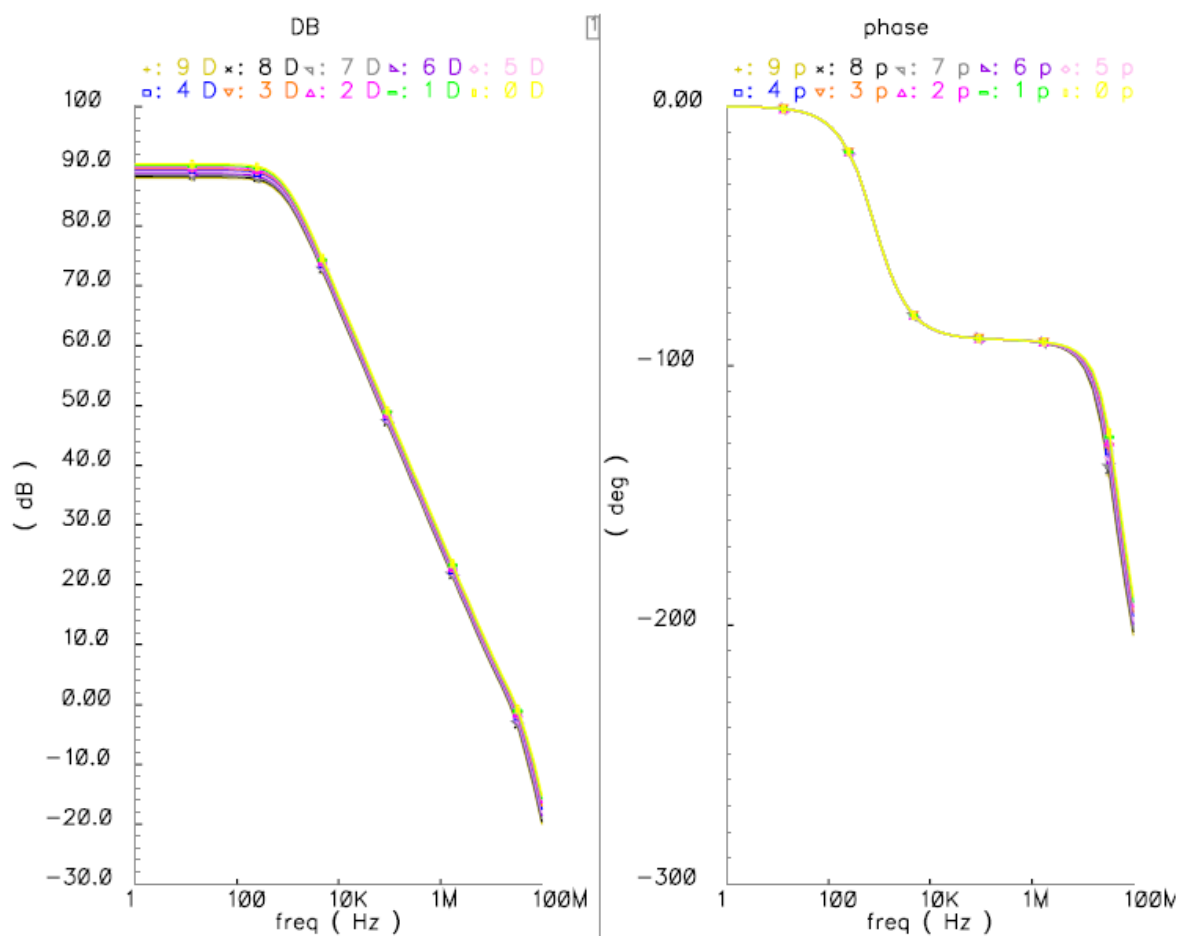
13 Seznam příloh

Příloha 1: Doplnující simulace OZ	78
Příloha 2: Zapojení některých bloků v Cadence	81
Příloha 3: Doplnující simulace základních stavebních bloků	83
Příloha 4: Zdrojové texty v jazyce VHDL	85
Příloha 5: Výstupy řetězového převodníku.....	87

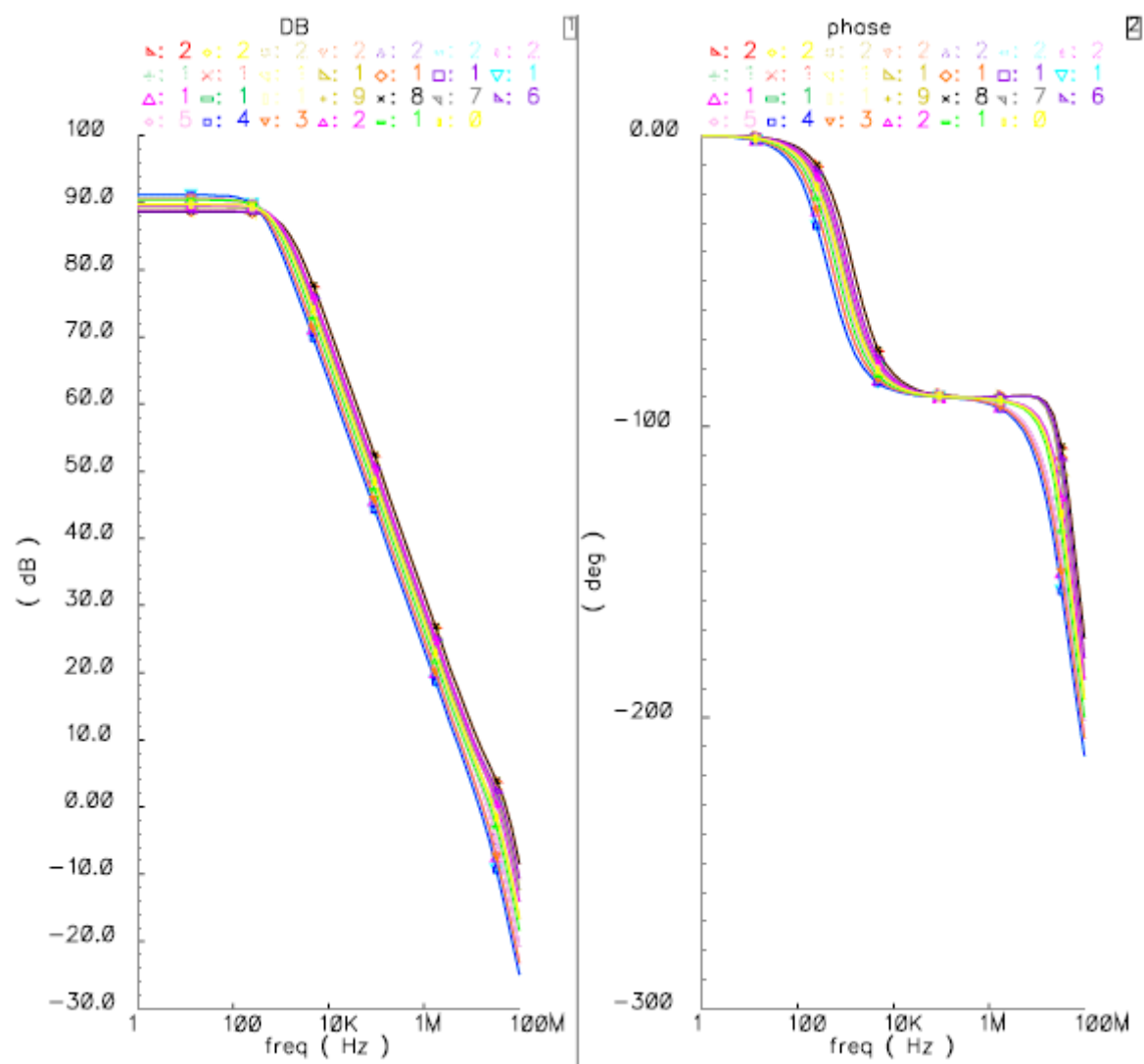
Příloha 1: Doplňující simulace OZ



Obr. P 1: Zapojení operačního zesilovače

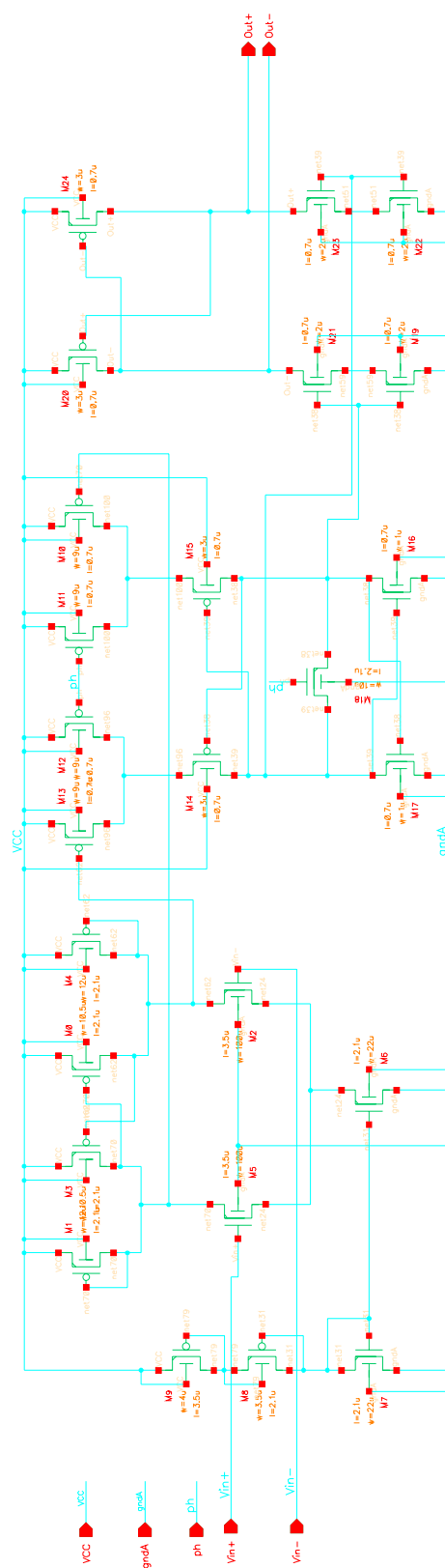


Obr. P 2: Corner analýza teploty v rozmezí 0 °C až 80 °C

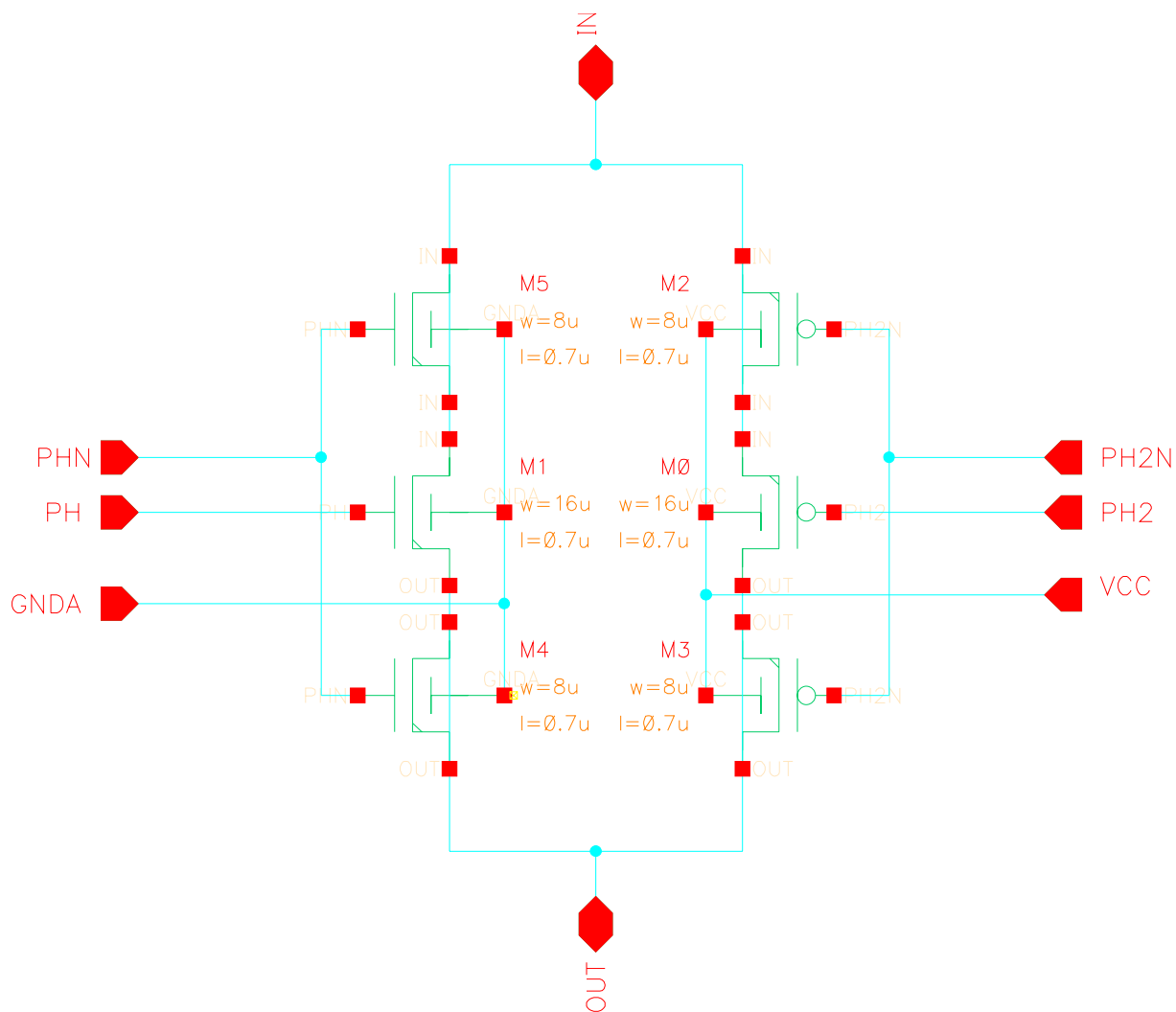


Obr. P 3: Úplná corner analýza OZ

Příloha 2: Zapojení některých bloků v Cadence

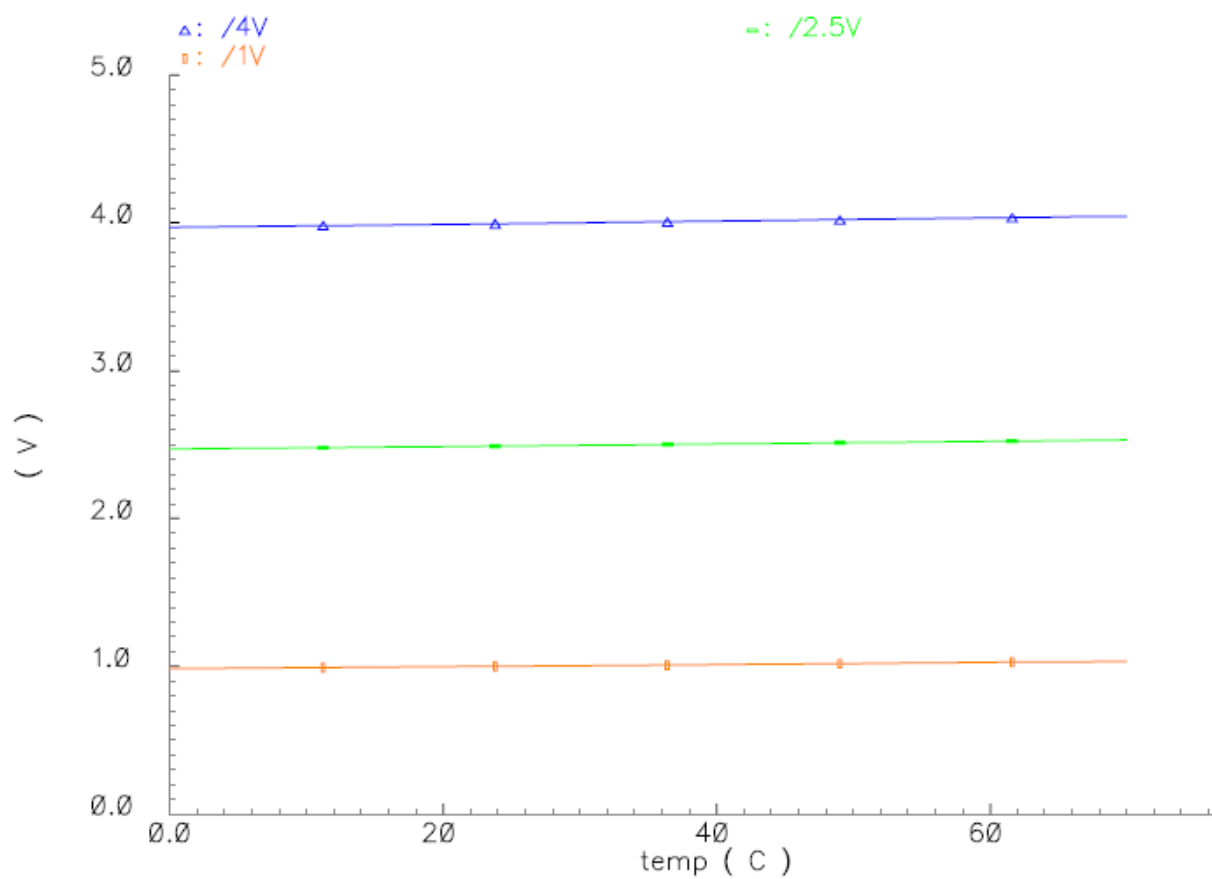


Obr. P 4: Zapojení komparátoru

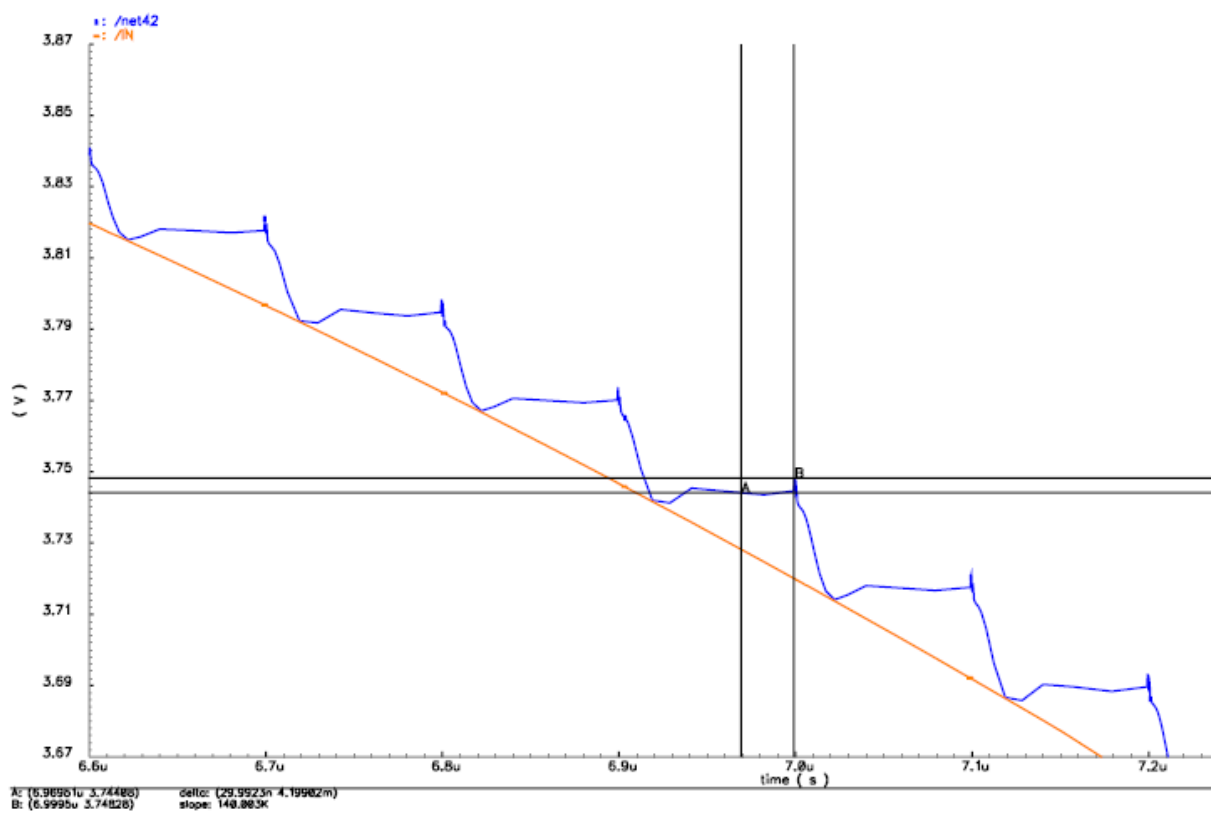


Obr. P 5: Zapojení MOS spínače

Příloha 3: Doplňující simulace základních stavebních bloků



Obr. P 6: Teplotní závislost napěťové reference na teplotě



Obr. P 7: Detail navzorkovaného signálu

Příloha 4: Zdrojové texty v jazyce VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity RSDvhdl is
    Port ( b : in  STD_LOGIC_VECTOR (13 DOWNT0 0) := (others => '0');
          clk : in  STD_LOGIC;
          Dout : out STD_LOGIC_VECTOR (7 DOWNT0 0) := (others => '0'));
end RSDvhdl;

architecture Behavioral of RSDvhdl is
    signal car1,car2,car3,car4,car5,car6 : STD_LOGIC;
    begin
        car1 <= b(2) and b(1);
        car2 <= (b(4) and b(3)) or ((b(4) or b(3)) and car1);
        car3 <= (b(6) and b(5)) or ((b(6) or b(5)) and car2);
        car4 <= (b(8) and b(7)) or ((b(8) or b(7)) and car3);
        car5 <= (b(10) and b(9)) or ((b(10) or b(9)) and car4);
        car6 <= (b(12) and b(11)) or ((b(12) or b(11)) and car5);

        PROCESS (clk)
        Begin
            If (Clk'event and Clk = '1') Then
                Dout(0) <= b(0);
                Dout(1) <= b(1) xor b(2);
                Dout(2) <= (b(3) xor b(4)) xor car1;
                Dout(3) <= (b(5) xor b(6)) xor car2;
                Dout(4) <= (b(7) xor b(8)) xor car3;
                Dout(5) <= (b(9) xor b(10)) xor car4;
                Dout(6) <= (b(11) xor b(12)) xor car5;
                Dout(7) <= b(13) xor car6;
            End If;
        END PROCESS;
    end Behavioral;
```

Obr. P 8: VHDL kód pro RSD korekci v 1,5 bitovém MDAC

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity RSD25 is
    Port ( MDAC1, MDAC2, MDAC3 : in STD_LOGIC_VECTOR (2 DOWNTO 0) := (others => '0');
          ADC2b : in STD_LOGIC_VECTOR (1 DOWNTO 0) := (others => '0');
          clk : in STD_LOGIC;
          Dout : out STD_LOGIC_VECTOR (7 DOWNTO 0) := (others => '0'));
end RSD25;

architecture Behavioral of RSD25 is

    signal m1, m2, m3, m4 : STD_LOGIC_VECTOR (7 DOWNTO 0);

begin
    m1 <= MDAC1 & "000000";
    m2 <= "00" & MDAC2 & "000";
    m3 <= "0000" & MDAC3 & "0";
    m4 <= "0000000" & ADC2b;
    Process (clk)

    Begin
        If (Clk'event and Clk = '1') Then
            Dout <= m1 + m2 + m3 + m4;
        End If;

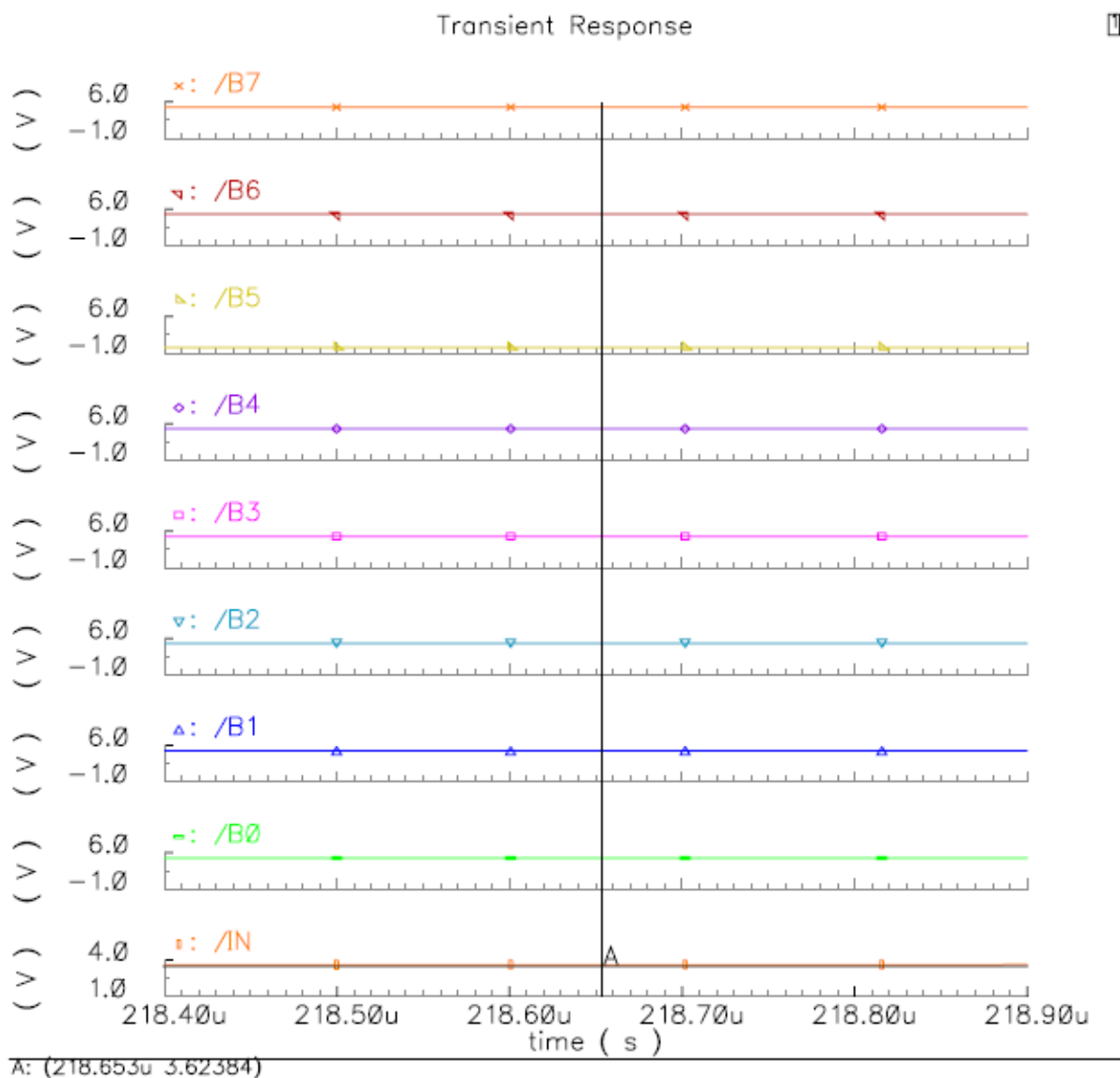
    END PROCESS;

end Behavioral;

```

Obr. P 9: VHDL kód pro RSD korekci v 2,5 bitovém MDAC

Příloha 5: Výstupy řetězového převodníku



Obr. P 10: Výstup převodníku s 1,5 b MDAC